



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Übersetzung der
europäischen Patentschrift

⑨⑦ EP 0 627 137 B 1

⑩ DE 693 28 084 T 2

⑤① Int. Cl. 7:
H 03 L 7/081
H 03 K 5/13

- | | |
|--|----------------|
| ②① Deutsches Aktenzeichen: | 693 28 084.0 |
| ⑥⑥ PCT-Aktenzeichen: | PCT/US93/12693 |
| ⑥⑥ Europäisches Aktenzeichen: | 94 905 570.1 |
| ⑥⑦ PCT-Veröffentlichungs-Nr.: | WO 94/15401 |
| ⑥⑥ PCT-Anmeldetag: | 22. 12. 1993 |
| ⑥⑦ Veröffentlichungstag
der PCT-Anmeldung: | 7. 7. 1994 |
| ⑥⑦ Erstveröffentlichung durch das EPA: | 7. 12. 1994 |
| ⑥⑦ Veröffentlichungstag
der Patenterteilung beim EPA: | 15. 3. 2000 |
| ④⑦ Veröffentlichungstag im Patentblatt: | 24. 8. 2000 |

- ③⑩ Unionspriorität:
994831 23. 12. 1992 US
- ⑦③ Patentinhaber:
Conexant Systems, Inc., Newport Beach, Calif., US
- ⑦④ Vertreter:
Strehl, Schübel-Hopf & Partner, 80538 München
- ⑧④ Benannte Vertragsstaaten:
AT, BE, CH, DE, DK, ES, FR, GB, IT, LI, NL, PT, SE

- ⑦② Erfinder:
GOLDENBERG, Yoav, 26300 Kiryat Haim, IL; GUR,
Shimon, San Diego, US

⑤④ DIGITAL GESTEUERTE PHASENSCHIEBER

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 693 28 084 T 2

DE 693 28 084 T 2

DIGITAL GESTEUERTER PHASENSCHIEBER

Gebiet der Erfindung

Die vorliegende Erfindung betrifft allgemein signalgesteuerte Phasenschieber und insbesondere einen Phasenschieber, der zumindest einige Verzögerungselemente aufweist, die mit einem Ausgangsanschluß verbunden sind, der ansprechend auf den Wert eines Steuersignals gesteuert wird.

Die Erfindung betrifft auch einen Signalmultiplexer, der auf zumindest einige Signale anspricht, und insbesondere einen solchen Multiplexer, der auf ein Reflexcodesignal anspricht.

Stand der Technik

Signalgesteuerte Phasenschieber sind gewöhnlich analoge Vorrichtungen unter Ein-
schluß eines veränderlichen Blindwiderstands, wie eines Varaktors, mit einem durch die
Amplitude einer Spannung gesteuerten Wert. Solche Phasenschieber werden häufig bei
spannungsgesteuerten Oszillatoren mit veränderlicher Frequenz verwendet, die
beispielsweise in phasenverriegelten Schleifen verwendet werden. Bei diesen Anwendungen
wird dem spannungsgesteuerten Oszillator mit veränderlicher Frequenz ein fester Takt
zugeführt, um eine Ausgangsfrequenz zu erzeugen, die zu einem Eingang eines
Phasendetektors zurückgeführt wird, der einen auf eine Eingangsfrequenz ansprechenden
zweiten Eingang hat. Der Phasendetektor erzeugt eine Fehlerspannung, die einem
Schleifenfilter zugeführt wird, das dem spannungsgesteuerten Oszillator eine Spannung
mit veränderlicher Amplitude zum Steuern der Ausgangsfrequenz des Oszillators zuführt.
Phasenverriegelte Schleifen werden zum starren Koppeln eines Empfängers an eine
eingehende Frequenz mit einem Frequenz- oder Phasenfehler von Null verwendet. Bei auf
digitale Daten darstellende Signale mit veränderlicher Phase, beispielsweise auf QPSK-
oder BPSK-Signale, ansprechenden Empfängern wird ein Demodulator des Empfängers
starr an eine Symbolfrequenz mit einem Phasenfehler von Null gekoppelt. Dieses starre
Koppeln wird gewöhnlich mit einer phasenverriegelten Schleife erster oder zweiter
Ordnung durchgeführt.

Die analogen Phasenschieber und die phasenverriegelten Schleifen auf analoger
Grundlage aus dem Stand der Technik weisen die mit analogen Schaltungen gewöhnlich
verbundenen Nachteile auf, wie eine mangelnde Wiederholbarkeit der Herstellung und der
Funktionsweise, falls keine "Feineinstellungsprozeduren" verwendet werden, eine geringe

tung an die restlichen Teile der Einrichtung anzupassen. Zum Lösen der Probleme wurden phasenverriegelte Schleifen auf digitaler Grundlage entwickelt. Eine phasenverriegelte Schleife auf digitaler Grundlage, die auf zu demodulierende Basisbandsignale anspricht, beinhaltet einen Analog-Digital-Wandler mit einem auf ein solches Signal ansprechenden Eingang. Der Wandler weist einen zweiten Eingang auf, der auf einen Abtasttakt anspricht, welcher eine durch die digitale phasenverriegelte Schleife gesteuerte veränderliche Frequenz aufweist. Der Wandler erzeugt ein digitales Mehrbit-Ausgangssignal mit einem variablen Wert, der von der Amplitude des Basisbandsignals abhängt, wenn ein vom Takt abgeleiteter Probenwert auftritt. Das Basisbandsignal unterliegt wegen Unvollkommenheiten der Übertragung und Verarbeitung des Signals zwischen dem Ursprungsort und dem Ort der phasenverriegelten Schleife einer ganzen Palette von Amplitudenschwankungen. Normalerweise werden bei jedem Symbol wenigstens zwei Abtastungen des Signals mit veränderlicher Phase vorgenommen.

Das veränderliche digitale Ausgangssignal des Wandlers wird einem Symboldaten-decodierer und Fehlergenerator zugeführt. Der Symboldatendecodierer und Fehlergenerator erzeugt ein Datenausgangssignal, das den digitalen Wert des Symbols darstellt, sowie ein Signal, das den Phasenfehler zwischen dem Signal mit veränderlicher Phase und dem Abtasttakt angibt. Das digitale Phasenfehler-Steuersignal wird einem Symbolzeitpunkt-Schleifenfilter zugeführt, das wiederum einen direkten Digitalsynthesizer ansteuert, der ein digitales Ausgangssignal mit Werten aufweist, die die Amplitude einer Sinuswelle angeben. Der direkte Digitalsynthesizer steuert einen Digital-Analog-Wandler an, der eine sinusförmige Ausgabe aufweist, deren Werte den vom Synthesizer erzeugten digitalen Werten gleichen. Die sinusförmige Ausgabe des Digital-Analog-Wandlers wird einem Tiefpaßfilter zugeführt. Direkte Digitalsynthesizer sind in ihrer Frequenz auf einige Megahertz beschränkt, so daß die Frequenz der Ausgabe des Tiefpaßfilters erheblich niedriger ist als die des dem Analog-Digital-Wandler zugeführten Basisbandsignals. Um den Analog-Digital-Wandler mit einer annehmbaren Abtastfrequenz zu versorgen, wird die Ausgabe des Tiefpaßfilters einer die Frequenz multiplizierenden phasenverriegelten Schleife zugeführt. Dieses System aus dem Stand der Technik ist daher relativ komplex und erfordert innerhalb der digitalen phasenverriegelten Schleife eine analoge phasenverriegelte Schleife sowie einen Digital-Analog-Wandler und ein Tiefpaßfilter.

Ein weiteres System auf digitaler Grundlage aus dem Stand der Technik zum Demodulieren von einem Empfänger zugeführten Informationssignalen mit veränderlicher Phase beinhaltet einen Analog-Digital-Wandler mit einem ersten und einem zweiten Eingang, die auf das Basisbandsignal bzw. einen Festfrequenz-Abtasttakt ansprechen. Der Analog-Digital-Wandler erzeugt eine digitale Ausgabe mit Werten, die die Amplitude des Basisbandsi-

gnals angeben, welches dem Wandler zu dem Zeitpunkt, zu dem jeder Abtasttakt auftritt, zugeführt wird. Um den genauen Pegel des Ausgangssignals des Analog-Digital-Wandlers zu bestimmen, reagiert eine Interpolationseinrichtung auf die Ausgabe des Wandlers, um die abgetasteten Werte zum gewünschten Zeitpunkt zu finden. Die Interpolationseinrichtung ist vom begrenzten oder unbegrenzten Impulsantworttyp. Die Interpolationseinrichtung erzeugt eine digitale Ausgabe, die einem Symbolzeitpunktprozessor zugeführt wird, der einen Ausgang aufweist, der die in der Interpolationseinrichtung verwendeten Koeffizienten aktualisiert. Der Symbolzeitpunktprozessor erzeugt auch Ausgangssignale darstellende Daten.

Eine weitere vorgeschlagene phasenverriegelte Schleife auf digitaler Grundlage tastet die Amplitude eines empfangenen Signals ab. Die resultierenden Abtastwerte werden verarbeitet, um ein Fehlersteuersignal für die Frequenz der Abtastquelle zu erzeugen. Das Fehlersteuersignal steuert die Frequenz der Abtastquelle durch Auswählen von einem von mehreren vorgegebenen Frequenzteilungsfaktoren für eine Quelle eines festen Takts. Wenn sich der Fehler ändert, werden die Frequenzteilungsfaktoren geändert, um die Frequenz der Abtastquelle um diskrete, feststehende Werte zu ändern. Dieser Typ einer phasenverriegelten Schleife hat den Nachteil, daß er nicht für Hochfrequenz-Abtastquellen geeignet ist und keine Hochfrequenzauflösung bietet.

Aus dem US-Patent 4 894 626 von Kubinec ist auch das Bereitstellen einer veränderlichen Zeitverzögerungsschaltung in Form eines Schieberegisters mit veränderlicher Länge, das mehrere verkettete Verzögerungseinheiten aufweist, die selektiv zwischen einen Eingangsanschluß und einen Ausgangsanschluß gekoppelt werden, bekannt. Schalter steuern, welche der Verzögerungseinheiten, von denen jede etwa die gleiche Verzögerungszeit hat, zwischen den Eingangs- und den Ausgangsanschluß geschaltet werden.

Im französischen Patent 2589651 ist eine speziell für Logikschaltungen vorgesehene Verzögerungsleitung offenbart, die mehrere verkettete Verzögerungselemente aufweist, die zwischen einen Eingangsanschluß und einen Ausgangsanschluß geschaltet sind. Die Anzahl der wirksam zwischen die Anschlüsse geschalteten Verzögerungselemente wird durch ausgegebene Bits eines Decodierers gesteuert, so daß es eine Korrelation zwischen der Decodiererausgabe und der gesteuerten Verzögerungszeit zwischen dem Eingangs- und dem Ausgangsanschluß gibt.

Lofgren u.a. offenbaren im US-Patent 4 922 141 eine phasenverriegelte Schleife mit einem Quarzoszillator, einem Phasendetektor und einer veränderlichen Verzögerungsschaltung mit mehreren verketteten Verzögerungselementen, die jeweils die gleiche gesteuerte veränderliche Verzögerungszeit aufweisen. Die Verzögerungsschaltung und ein Eingang des Phasendetektors werden durch den Oszillator angesteuert. Ein weiterer Eingang des Phasendetektors wird durch den Ausgang der Verzögerungsschaltung angesteuert. Der Phasen-

detektor spricht auf seine Eingaben an und erzeugt ein Fehlersignal zum Steuern der Verzögerungszeiten der mehreren verketteten Verzögerungselemente, so daß die von der Verzögerungsschaltung eingeführte Verzögerung einer Periode der Oszillatorausgabe gleicht.

In der Beschreibung des am 22. Dezember 1992 veröffentlichten US-Patents 5 173 617 wurde eine digitale phasenverriegelte Schleife vorgeschlagen, die bei der Phasenverriegelung nicht von einem spannungsgesteuerten Oszillator (VCO) abhängt. Ein mit einem Zwischenspeicher abgeschlossener Phasendetektor (PD) steuert einen Aufwärts-/Abwärtszähler, der eine Erhöhung/Verringerung der Verzögerung auf der Verzögerungsleitung programmiert. Die abgegriffene Ausgabe der Verzögerungsleitung durchläuft einen Zweiphasengenerator, der wiederum für einen Vergleich mit dem Bezugstakt zum PD rückkoppelt. Dieser Vorgang wird wiederholt, bis die Phasenverriegelung erhalten wurde.

Merkmale der weiter unten zur Veranschaulichung der vorliegenden Erfindung beispielhaft beschriebenen Ausführungsformen bestehen darin, daß eine neue und verbesserte signalgesteuerte Phasenverschiebungsvorrichtung und ein entsprechendes Verfahren, ein neuer und verbesserter signalgesteuerter Oszillator mit veränderlicher Frequenz und ein Verfahren zum Erzeugen einer Welle mit veränderlicher Frequenz in Reaktion auf ein Steuersignal, eine neue und verbesserte phasenverriegelte Schleife auf digitaler Grundlage und ein Verfahren zum digitalen Phasenverriegeln einer Eingangsfrequenz und eines Takts, eine phasenverriegelte Schleife auf digitaler Grundlage mit einem digital gesteuerten asynchronen Phasenschieber, der auf einen Festfrequenztakt anspricht, sowie eine für hohe Frequenzen geeignete phasenverriegelte Schleife auf digitaler Grundlage, die verhältnismäßig kostengünstig ist, weil bei ihr ein Bezugsoszillator mit fester Frequenz verwendet wird, vorgesehen sind.

Bei weiter unten zur Veranschaulichung der Erfindung beispielhaft beschriebenen Ausführungsformen wird die Phase einer periodischen Wellenform zu einem ausgewählten von zumindest einigen verschiedenen diskreten Werten verschoben, indem der periodischen Wellenform eine Verzögerung über eine von dem ausgewählten diskreten Wert bestimmte Zeit auferlegt wird, um die phasenverschobene periodische Wellenform zu erzeugen, so daß sich die auferlegte Verzögerung ändert, wenn sich der ausgewählte Wert ändert. Der ausgewählte Wert wird auf seinen Anfangswert zurückgesetzt, wenn die periodische Wellenform durch die auferlegte Verzögerung um ein ganzzahliges Vielfaches von etwa einem Zyklus der periodischen Wellenform verschoben wird.

Eine weiter unten zur Veranschaulichung der Erfindung beispielhaft beschriebene Vorrichtung kann auf ein Steuersignal ansprechen, das eine auf die periodische Wellenform anzuwendende Phasenänderung darstellt. Die Vorrichtung weist eine Schaltung auf, die auf die periodische Wellenform anspricht, um zumindest einige Replikationen der periodischen

Wellenform zu erzeugen. Die Replikationen weisen in Bezug zueinander unterschiedliche Zeitverzögerungen auf. Eine Einrichtung, die auf das die Phasenänderung darstellende Signal anspricht, koppelt als Funktion des Werts des Steuersignals eine ausgewählte der Replikationen an einen ersten Ausgangsanschluß. Die Vorrichtung beinhaltet eine Einrichtung zum Rücksetzen des Steuersignals auf den vorgegebenen Wert, wenn die Replikation am Ausgangsanschluß um ein ganzzahliges Vielfaches von etwa einem Zyklus der periodischen Wellenform verschoben worden ist.

Die folgende Beschreibung und die Zeichnung legen die Erfindung anhand von Beispielen dar, wobei die Erfindung durch die anhängigen Ansprüche gekennzeichnet ist, die ihren Schutzzumfang festlegen.

Es zeigen:

Fig. 1 ein Teil-Blockdiagramm und ein Teil-Schaltungsdiagramm einer phasenverriegelten Schleife, die einen digital gesteuerten asynchronen Phasenschieber gemäß einer Ausführungsform der Erfindung aufweist,

Fig. 2 ein Blockdiagramm einer bevorzugten Ausführungsform des in Fig. 1 enthaltenen Multiplexers,

Fig. 3 ein Blockdiagramm einer weiteren Ausführungsform eines asynchronen digital gesteuerten Phasenschiebers gemäß der vorliegenden Erfindung,

Fig. 4 ein schematisches Diagramm einer in der in Fig. 3 dargestellten Anordnung enthaltenen Verzögerungseinheit,

Fig. 5 ein Schaltungsdiagramm einer in Fig. 3 enthaltenen Steuereinrichtung und

Fig. 6 ein Flußdiagramm einer in Fig. 5 enthaltenen Folgesteuereinheit.

Beschreibung der bevorzugten Ausführungsform

Es wird nun auf Fig. 1 der Zeichnung Bezug genommen, wo eine phasenverriegelte Schleife dargestellt ist, die auf ein Empfänger-Basisband-Quadraturphasen-Umtastsignal anspricht, das auf einer Leitung 12 bzw. einer Leitung 14 eine Komponente I bzw. eine Komponente Q aufweist. Die Signale auf den Leitungen 12 und 14 sind typischerweise wegen der vor dem Gewinnen der Signale auf diesen Leitungen auftretenden Sende- und Empfangsprozesse verschlechtert, so daß die ursprünglichen I- und Q-Kanalamplituden (mit zwei Pegeln) veränderlicher Phase in Signale mit einer Palette von Amplituden zwischen zwei Pegeln auf den Leitungen 12 und 14 umgewandelt werden. Eine typische Bit-, Symbol- oder Baudrate für das Signal auf den Leitungen 12 und 14 ist 20 Megahertz. Die Signale auf den Leitungen 12 und 14 werden jeweils Analog-Digital-Wandlern 16 und 18 zugeführt, von denen jeder ein paralleles digitales Mehrbitsignal erzeugt, das einen Wert aufweist, der den Amplituden des Signals entspricht, das den Wandlern zu dem Zeitpunkt zugeführt wird, zu dem ihnen über eine Leitung 20 ein Abtasttakt mit veränderlicher Fre-

quenz zugeführt wird. Beim gewöhnlichen Empfänger, der eine phasenverriegelte Schleife aufweist, ist die Abtast-Taktfrequenz zweimal so groß wie die Frequenz der Symbolrate der Signale auf den Leitungen 12 und 14, um frühe und späte Gatter-Abtastwerte bereitzustellen, was auf dem Fachgebiet üblich ist.

5 Die Ausgangssignale der Wandler 16 und 18 werden einem digitalen Datendecodierer und Fehlergenerator 22 zum Ableiten paralleler Mehrbitdaten und Fehlerausgaben auf einem Bus 24 bzw. 26 zugeführt. Das Fehlersignal auf dem Bus 26 repräsentiert (digital) die Abweichung der vom Signal auf der Leitung 20 bereitgestellten Abtastphase vom idealen Abtastpunkt.

10 Das den Fehler angegebende Signal auf dem Bus 26 wird einem Symbolzeitpunkt-Schleifenfilter 28 zugeführt, um auf einem Bus 30 ein paralleles digitales Mehrbitsteuersignal zu erzeugen, das den Frequenzfehler darstellt, der dem Fehlersignal auf dem Bus 26 zugeordnet ist. Das Symbolzeitpunkt-Schleifenfilter 28 erzeugt im allgemeinen ein Frequenzfehlersignal für jedes Symbol auf den Leitungen 12 und 14. Der Aufbau der Wandler
15 16 und 18, des Datendecodierers und Fehlergenerators 22 und des Symbolzeitpunkt-Schleifenfilters 28 ist herkömmlich und braucht nicht weiter beschrieben oder erklärt zu werden.

Das vom Symbolzeitpunkt-Schleifenfilter 28 auf dem Bus 30 erzeugte Frequenzfehlersignal steuert die Frequenz und die Phase des Abtasttakts auf der Leitung 20. Hierzu wird das Frequenzfehlersignal auf dem Bus 30 durch einen Volladdierer 32, der im wesentlichen
20 ein Digitalintegrierer ist, in ein digitales Phasenfehlersignal umgewandelt. Das Überlaufbit des Phasenfehlersignals wird einer Leitung 34 zugeführt, um den Zählwert eines Reflexcodezählers (vorzugsweise Gray-Code-Zählers) 36, der eine parallele Mehrbit-Reflexcodeausgabe aufweist, die dem Wähleingang 38 eines Multiplexers 40 zugeführt wird, zu erhöhen. Der Multiplexer 40 weist N mit 0, 1, 2... (N-2) und (N-1) bezeichnete Signal-
25 Eingangsanschlüsse auf. Die N Signal-Eingangsanschlüsse des Multiplexers 40 reagieren auf eine Festfrequenz-Taktquelle 42 und verzögerte Replikationen davon. Der Signal-Eingangsanschluß 0 des Multiplexers 40 reagiert direkt auf die Festfrequenzausgabe des Taktgebers 42, während die Signal-Eingangsanschlüsse 1, 2... (N-2), (N-1) auf Replikationen ansprechen, die jeweils um ΔT , $2\Delta T$... $(N-2)\Delta T$, $(N-1)\Delta T$ usw. verzögert sind, wobei ΔT eine
30 Verzögerungszeit ist.

Die den Eingangsanschlüssen 1, 2... $(N-2)$, $(N-1)$ zugeführten verzögerten Replikationen werden jeweils von verketteten Verzögerungselementen 44.1, 44.2... 44. $(N-2)$, 44. $(N-1)$ erzeugt. Bei einer bevorzugten Ausführungsform weist jedes der Verzögerungselemente 44 ein Paar von verketteten invertierenden Verstärkern mit einer Verstärkung von
35 1 auf, wobei die Verzögerungszeit der verketteten Verstärker der jedem der Verzögerungselemente zugeordneten Verzögerungszeit gleicht. Die Gesamtverzögerungszeit der

verketteten Verzögerungselemente 44.1, 44.2... 44.(N-2), 44.(N-1) für alle möglichen Verzögerungszeiten der Verzögerungselemente übersteigt einen Zyklus des Festfrequenz-Taktgebers 42, und die Verzögerungszeit übersteigt im besten Fall einen Zyklus des Festfrequenz-Taktgebers 42 geringfügig. Es gibt bei einer bevorzugten Ausführungsform 128 (2^7)
5 Signal-Eingangsanschlüsse des Multiplexers 40, so daß $N = 128$ ist und es 127 Verzögerungselemente 44 gibt.

Der Multiplexer 40 reagiert auf das digitale Steuersignal am Wähleingang 38 und führt eine der verzögerten Replikationen an den Signal-Eingangsanschlüssen 0, 1, 2... (N-2), (N-1) dem Multiplexer-Ausgangsanschluß 46 zu. Das Signal am Anschluß 46 ist dabei eine
10 zeitlich verzögerte Replikation der Festfrequenz-Taktquelle 42. Die Verzögerung entspricht einer durch den Wert des digitalen Steuersignals am Anschluß 38 bestimmten Phasenverschiebung bei der Frequenz der Taktquelle 42.

Wegen der Rückkopplungsanordnung (weiter unten beschrieben) innerhalb der phasenverriegelten Schleife wird die Phase der Ausgabe des Multiplexers 40 am Anschluß 46
15 wieder gleich der Phase des Takts 42, wenn die Phase des Takts in etwa um einen ganzen Zyklus, also um 360° , verschoben worden ist. Wegen dieser Rückkopplungsanordnung ist der den Multiplexer 40 und die Verzögerungselemente 44 aufweisende Phasenschieber asynchron, und es ist nicht erforderlich, daß die jedem der Elemente 44 zugeordnete Verzögerungszeit absolut fest bleibt. Daher kann sich die Laufzeitverzögerung der Elemente 44
20 als Funktion der Versorgungsspannung, der Temperatur und als Funktion von Herstellungsprozessen ändern. Allgemein übersteigt die Frequenz des Takts 42 etwas das zweifache derjenigen der Symbolraten der Signale an den Leitungen 12 und 14. Dies bewirkt, daß die Phase der Welle am Anschluß 46 über viele Zyklen des Takts 42 leicht monoton voreilt. Es gibt eine entsprechende Änderung der über eine Störimpuls-Sperrschaltung 48 vom Anschluß 46 in die Leitung 20 eingekoppelten Abtastfrequenz. Das Frequenzfehlersignal auf
25 dem Bus 30 wird vom Volladdierer 32 in ein Phasenfehlersignal umgewandelt, bei dem ein Überlaufbit auf die Leitung 34 gegeben ist. Nach vielen Zyklen des Takts 42 gibt es eine Erhöhung des vom Volladdierer 32 erzeugten Phasenfehlersignals, die dazu führt, daß ein sich monoton änderndes Phaseneingangssignal dem Anschluß 38 des Multiplexers 40 zugeführt wird.
30

Der vom Anschluß 46 in die Leitung 20 eingekoppelte Abtasttakt bewirkt eine begrenzte Änderung der Ausgabe des Filters 28 auf den Bus 30. Dies führt zu Änderungen der Ausgabe des Volladdierers 34 und des Eingangssignals am Wähleingang 38 des Multiplexers 40. Selbst wenn es keine Änderung des vom Schleifenfilter 28 erzeugten Frequenzfehlersignals gibt, ändert sich die Ausgabe des Volladdierers oder des Integrierers 32 unter der
35 Voraussetzung, daß das vom Schleifenfilter erzeugte Frequenzfehlersignal einen begrenzten,

von Null verschiedenen Wert aufweist. Dabei ändert sich die Phase der Taktreplikationen am Anschluß 46 langsam monoton über viele Zyklen des Taktgebers 42. Jede Phasenänderung erfolgt um einen diskreten Betrag, der in Bezug zum Wert der dem Eingang 38 zugeführten Signale und den den Verzögerungselementen 44 zugeordneten Verzögerungszeiten steht. Die Phase am Ausgang 46 bleibt bezüglich der Phase des Taktgebers 42 für viele Zyklen von diesem konstant, bis es eine Änderung des Werts des vom Gray-Code-Zähler 36 erzeugten Signals gibt, das dem Eingang 38 des Multiplexers 40 zugeführt wird.

In Reaktion auf das Verschieben der Phase der Taktreplikationen am Anschluß 46 um etwa 360° , also um etwa einen Zyklus des Taktgebers 42, wird der Gray-Code-Zähler 36 auf 0 zurückgesetzt. In Reaktion auf das Rücksetzen des Zählers 36 auf 0 wird der Eingang 38 des Multiplexers 40 auf 0 gesetzt, was dazu führt, daß der Takt am Signal-Eingangsanschluß des Multiplexers 40 mit dem Ausgangsanschluß 46 gekoppelt wird. Der Ausgang des Multiplexers 40 ist dabei in Phase mit dem Ausgang des Taktgebers 42, um einen neuen Phasenverschiebungszyklus einzuleiten.

Immer dann, wenn der Multiplexer 40 umgeschaltet wird, kann ein Störimpuls am Ausgangsanschluß 46 erzeugt werden. Es ist sehr wichtig, das Ankommen dieses Störimpulses am Anschluß 20 zu verhindern. Die Störimpuls-Sperrschaltung 48 zum Verhindern eines solchen Störimpulses beinhaltet ein ODER-Gatter 50, einen D-Flipflop 52 und ein Verzögerungselement 54. Ein Eingang des ODER-Gatters 50 ist direkt an den Ausgang 46 des Multiplexers 40 angeschlossen, während der Ausgang des ODER-Gatters an den Takteingang des D-Flipflops 52 angeschlossen ist, wobei dem Flipflop-Dateneingang (D) ein konstanter binärer 1-Pegel zugeführt wird. Die Taktimpulse auf der Leitung 20 werden einem Takteingang des Gray-Code-Zählers 36 zugeführt, so daß dieser auf die ansteigenden Flanken der Taktimpulse anspricht. Der Flipflop 52 weist einen Q- und einen Q-Ausgangsanschluß auf, die über ein Verzögerungselement 54 an einen zweiten Eingang des ODER-Gatters 50 bzw. einen asynchronen Rücksetzeingang (R) des Flipflops 52 angeschlossen sind. Die Verzögerungszeit des Verzögerungselements 54 ist größer als die Zeit, die der Multiplexer 40 benötigt, um in Reaktion auf eine Änderung des Werts des Signals am Eingang 38 eine Phasenänderung am Ausgangsanschluß 46 zu erzeugen. Die letztgenannte Zeit wird hier als Laufzeitverzögerung des Multiplexers bezeichnet.

Auf das Erzeugen einer ansteigenden Flanke am Ausgangsanschluß 46 des Multiplexers 40 hin wird vom ODER-Gatter 50 eine ansteigende Flanke erzeugt. Die vom ODER-Gatter 50 erzeugte ansteigende Flanke aktiviert den Flipflop 52, so daß sich sein Q-Ausgang von einem 0- zu einem 1-Zustand ändert, wodurch der Ausgang des ODER-Gatters 50 auf einen binären 1-Zustand gezwungen wird. Der Ausgang des ODER-Gatters 50 bleibt für einen Zeitraum, der größer ist als die Laufzeitverzögerung des Multiplexers, im 1-Zustand.

Nachdem die vom Verzögerungselement 54 bestimmte Verzögerungszeit verstrichen ist, setzt ein binärer 1-0-Übergang am Ausgang des Elements 54 den Flipflop 52 zurück. Wenn der Flipflop 52 in einem Rücksetzzustand aktiviert ist, folgt der Ausgang des ODER-Gatters 50 Übergängen am Ausgangsanschluß 46 des Multiplexers 40. Eine innerhalb des Elements 54 vorhandene Verzögerungsvorrichtung unterbricht das Rücksetzen des Flipflops 52 durch Erzeugen eines binären 0-1-Übergangs am Ausgang des Elements 54.

Die Ausgabe des ODER-Gatters 50 wird einer Leitung 20 zugeführt, um zu veranlassen, daß die Signale auf den Leitungen 12 und 14 durch Analog-Digital-Wandler 16 und 18 zweimal während jedes Symbolzeitraums abgetastet werden. Weiterhin wird die Ausgabe des ODER-Gatters 50 einem Eingang eines Phasenänderungsdetektors 56 zugeführt, der einen zweiten Eingang aufweist, welcher über ein Verzögerungselement 58 gekoppelt auf die Ausgabe des Taktgebers 42 anspricht. Das Verzögerungselement 58 weist eine Verzögerungszeit auf, die der Laufzeitverzögerung des Multiplexers zuzüglich der Laufzeitverzögerung des ODER-Gatters 50 gleicht. Wenn es eine Änderung der Phasenvoreilungs-/Phasennacheilungsbeziehung der ansteigenden Flanken der zwei Eingaben des Detektors 56 gibt, erzeugt der Detektor an seiner Ausgangsleitung 60 einen Impuls. Dieser Impuls wird dem Rücksetzeingang des Gray-Code-Zählers 36 zugeführt. Der Detektor 56 und die ihm zugeordnete Schaltungsanordnung sind im wesentlichen Detektoren für eine Phasenverschiebung von ungefähr $n \times 360^\circ$ (wobei n eine ganze Zahl unter Einschluß von 1 ist) der Welle am Anschluß 46 bezüglich der Ausgangswelle der Taktquelle 42.

Um ein Verriegeln des Gray-Code-Zählers 36 in einem 0-Zustand zu verhindern, wird verhindert, daß der Detektor 56 unmittelbar nachdem er einen ersten Ausgangsimpuls erzeugt hat und für eine zusätzliche Zeit danach, bis das Signal am Ausgangsanschluß 46 angemessen phasenverschoben wurde, einen zweiten Ausgangsimpuls erzeugt. Dieses Ergebnis wird durch Unterbinden der Ausgabe des Detektors 56, wenn die Ausgabe des Zählers 36 einen Wert von 0 und von Werten, die einigen Grad oberhalb von 0° zugeordnet sind, aufweist, erreicht. Hierzu wird der Ausgang des Detektors 56 über ein Gatter (nicht dargestellt) gekoppelt, und die Ausgabe des Zählers 36 wird einem Detektor (nicht dargestellt) zugeführt, der dem Gatter ein Unterbindungssignal zuführt, wenn die Zählerausgabe in dem Bereich liegt, der von 0° bis im schlimmsten Fall bis zu 340° reichenden Phasenverschiebungswerten für den Taktgeber 42 zugeordnet ist. Weil die Bitraten der Signale auf den Leitungen 12 und 14 als konstant und sich bei einem Bezugswert befindend angesehen werden können, der um einige Kilohertz (beispielsweise 7 kHz) unterhalb der Frequenz des Taktgebers 42 liegt, erhöht sich die Phasenänderung am Ausgang 46 des Multiplexers 40 immer in Richtung des Taktgebers 42, so daß der Detektor 56 wegen der Phasendifferenz

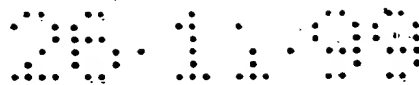
von Null zwischen der Ausgabe des Taktgebers 42 und dem Signal am Anschluß 46 der Leitung 60 keinen Impuls zuführen kann.

Bei einer bevorzugten Ausführungsform reagiert der Multiplexer 40 auf ein Gray-Reflexcodesignal mit M Bits, wobei $N = 2^M$ ist und N die Gesamtzahl der Eingänge 0, 1, 2... (N-1) des Multiplexers von Verzögerungselementen 44 ist. Reflexcodesignale sind wünschenswert, weil sich bei ihnen nur ein binärer Wert für jede Änderung einer Ziffer eines Werts zur Basis 10 ändert. Ansprechend auf eine Änderung eines binären Werts beim Signal am Eingang 38 wählt der Multiplexer 40 an einem seiner Eingänge 0, 1, 2... (N-2), (N-1) ein zunehmend größeres oder kleineres Signal aus.

Im allgemeinen weist der Multiplexer 40 eine Anordnung von (N-1) Gattern auf, wobei jedes zwei Signaleingänge (A und B) und einen Steuereingang (S) aufweist, die auf einen binären Pegel ansprechen, um zu bestimmen, welcher der zwei Eingänge mit einem Ausgang gekoppelt ist. Die Gatter der Anordnung sind in einem Baum angeordnet, so daß die Zeile 0 des Baums N/2 Gatter aufweist, die Zeile 1 des Baums N/4 Gatter aufweist, die Zeile 2 des Baums N/8 Gatter aufweist und die Zeile r $N(2^{-(r+1)})$ Gatter aufweist.

Die Signaleingänge der Gatter der Zeile 0 sind an Signal-Eingangsanschlüsse des Multiplexers angeschlossen, so daß die geradzahigen Gatter in der Zeile 0 Eingänge aufweisen, die bezüglich der Signal-Eingangsanschlüsse des Multiplexers gekreuzt sind, während direkte Verbindungen zwischen den verbleibenden Gattern der Zeile 0 und den Signal-Eingangsanschlüssen des Multiplexers bereitgestellt sind. Die Ausgänge der Gatter der Zeile 0 sind in ähnlicher Weise mit den Eingängen A und B der Gatter der benachbarten Zeile 1 gekoppelt. Die Ausgänge der Gatter der nachfolgenden Zeilen sind in ähnlicher Weise mit den Eingängen A und B der nächsten benachbarten Zeile verbunden.

Damit ein Multiplexer N Eingangssignale einem Ausgangsanschluß zuführen kann, sind die Eingänge A und B des Gatters k (wobei k eine ganze Zahl von 0 bis $\frac{N}{2} - 2$) ist) in der Zeile 0 jeweils im allgemeinen so geschaltet, daß sie auf die Signale an den Signal-Eingangsanschlüssen $2k$ und $(2k + 1)$ des Multiplexers ansprechen, während die Eingänge A und B des Gatters $(k + 1)$ in der Zeile 0 jeweils im allgemeinen so geschaltet sind, daß sie auf die Signale an den Signal-Eingangsanschlüssen $(2k + 3)$ und $2(k + 1)$ ansprechen. Die Eingänge A und B des Gatters j (wobei j eine gerade ganze Zahl von 0 bis $N2^{-(r+1)} - 2$ ist) in der Zeile $(r + 1)$ sind jeweils so geschaltet, daß sie auf die Signale an den Ausgangsanschlüssen der Gatter $2j$ und $(2j + 1)$ der Zeile r ansprechen, während die Eingänge A und B des Gatters $(j + 1)$ in der Zeile $(r + 1)$ jeweils so geschaltet sind, daß sie auf die Signale an den Ausgangsanschlüssen der Gatter $(2j + 3)$ und $2(j + 1)$ der Zeile r ansprechen, wobei r selektiv jeder Wert von 0 bis (M-1) ist und wobei j selektiv jeder Wert von 0, 1, 2, ... $N(2^{-(r+1)})$ ist. Die spezielle Multiplexeranordnung ermöglicht direkt und zwischen den Gattern inner-



halb des Multiplexers ohne zusätzliche Kreuzungsleitungen das Layout und das Zuleiten von Ausgaben von Verzögerungselementen 44 zum Multiplexer 40, so daß es möglich ist, die gleiche Verzögerung für alle durch den Multiplexer verlaufenden Wege mit guter Genauigkeit zu erreichen.

5 Die Steuereingänge der Gatter der Zeile 0 sprechen auf das vom Gray-Code-Zähler 36 erzeugte niedrigstwertige Bit an, die Steuereingänge der Gatter der Zeile 1 sprechen auf das vom Zähler 36 erzeugte nächst-niedrigstwertige Bit an usw., so daß der Steuereingang des einzigen Gatters der letzten Zeile (M-1) auf das vom Zähler 36 erzeugte höchstwertige Bit anspricht. Wenn sich das Reflexcodesignal daher in der Basis 10 um Eins ändert, gibt es
10 Änderungen des Zustands aller Gatter in nur einer Zeile des Baums.

Eine vereinfachte Version des Multiplexers 40, die auf die Ausgabe des Festfrequenz-Taktgebers 42 und sieben verzögerte Replikationen von diesem anspricht, sowie die Ausgabe des Gray-Zählers 36 sind in Fig. 2 dargestellt. In Fig. 2 treibt der Festfrequenz-Taktgeber 42 die verketteten Verzögerungselemente 44.1, 44.2...44.7. Die Ausgabe des
15 Taktgebers 42 ist an den Signal-Eingangsanschluß 0 des Multiplexers 40 angelegt, während die Ausgaben der Verzögerungselemente 44.1, 44.2...44.7 jeweils an die Signal-Eingangsanschlüsse 1, 2...7 des Multiplexers angelegt sind. Für die vereinfachte Situation von Fig. 2 weist der Multiplexer 40 eine Anordnung von sieben in drei Zeilen angeordneten Gattern auf, wobei die Zeile 0 (die erste Zeile) vier Gatter aufweist, die Zeile 1 (die zweite Zeile)
20 zwei Gatter aufweist und die Zeile 2 (die dritte, also letzte Zeile) ein Gatter aufweist. Dabei weist die Zeile 0 die Gatter 70.11, 70.12, 70.13 und 70.14 auf, weist die Zeile 1 die Gatter 70.21 und 70.22 auf und weist die Zeile 2 das Gatter 70.31 auf.

Jedes der Gatter 70 hat zwei Signal-Eingangsanschlüsse A und B, einen Steuersignaleingang S und einen Ausgangsanschluß. Wenn das Signal am Anschluß S einen binären 0-Wert hat, wird das Signal am Anschluß A an den Gatter-Ausgangsanschluß gekoppelt, und
25 wenn das Signal am Anschluß S einen binären 1-Wert hat, wird das Signal am Anschluß B an den Gatter-Ausgangsanschluß gekoppelt. Die Eingänge A und B des Gatters 70.11 sprechen jeweils auf die Signale an den Signal-Eingangsanschlüssen 0 und 1 des Multiplexers an, während die Eingänge A und B des Gatters 70.12 jeweils auf die Signale an den Signal-Eingangsanschlüssen 3 und 2 des Multiplexers ansprechen. Eine ähnliche Beziehung existiert
30 für die Eingangsanschlüsse A und B der restlichen Gatter der Zeile 0, so daß die Eingänge A und B des Gatters 70.13 auf die Signale an den Signal-Eingangsanschlüssen 4 und 5 des Multiplexers ansprechen, während die Eingänge A und B des Gatters 70.14 jeweils auf die Signale an den Eingangsanschlüssen 7 und 6 des Multiplexers ansprechen. Die S-Steuereingänge des Gatters 70.11 - 70.14 werden parallel durch das vom Gray-Code-Zähler 36 ausgegebene niedrigstwertige Bit angesteuert.
35

Die S-Steuereingänge der Gatter 70.21 und 70.22 der Zeile 1 werden von dem vom Gray-Code-Zähler 36 ausgegebenen zweitniedrigstwertigen Bit parallel angesteuert. Die Eingänge A und B des Gatters 70.21 sprechen jeweils auf die Ausgaben der Gatter 70.11 bzw. 70.12 an, während die Eingänge A und B der Gatter 70.22 jeweils auf die Ausgaben der Gatter 70.14 bzw. 70.13 ansprechen.

Der S-Steuereingang des Gatters 70.31 der Zeile 2 spricht auf das vom Gray-Code-Signal ausgegebene höchstwertige Bit an. Die Eingänge A und B des Gatters 70.31 sprechen jeweils auf die Ausgänge der Multiplexer 70.21 und 70.22 an. Für die vereinfachte Situation von Fig. 2 wird die Multiplexerausgabe vom Gatter 70.31 erzeugt.

Beim Betrieb gibt es für jede Änderung des Gattern 70 zugeführten Gray-Code-Signals um ein Bit eine Änderung der Anzahl der mit dem Multiplexerausgang gekoppelten Eingangssignalanschlüsse des Multiplexers um eine Stufe. Demgemäß ist die Ausgabe des Gatters 70.31 ansprechend auf den dem Gatter 70 zugeführten Gray-Code mit einem Wert 000 beispielsweise das Signal am Signal-Eingangsanschluß 0 des Multiplexers. In dieser Situation werden alle Gatter 70 aktiviert, so daß das Signal an ihren A-Eingängen an den Gatterausgang gekoppelt wird, was dazu führt, daß das Signal am Eingangsanschluß 0 des Multiplexers über die Gatter 70.11, 70.21 und 70.31 an den Multiplexerausgang gekoppelt wird. In Reaktion darauf, daß das Gray-Code-Signal von 000 nach 001 vorgeschoben wird, wird das Signal am Eingangsanschluß 1 des Multiplexers über die Gatter 70.11 und 70.21 an den Ausgang des Gatters 70.31 gekoppelt. In Reaktion darauf, daß das Gray-Code-Signal nach 011 vorgeschoben wird, wird das Signal am Eingangsanschluß 2 des Multiplexers über die Gatter 70.12, 70.21 und 70.31 an den Multiplexerausgang gekoppelt. In Reaktion darauf, daß das Gray-Code-Signal nach 010 vorgeschoben wird, wird das Signal am Eingangsanschluß 3 des Multiplexers über die Gatter 70.12, 70.21 und 70.31 an den Multiplexerausgang gekoppelt. In Reaktion darauf, daß das Gray-Code-Signal um einen Zählwert von 1 von 010 auf 110 erhöht wird, wird das Signal am Eingangsanschluß 4 des Multiplexers über die Gatter 70.13, 70.22 und 70.31 an den Multiplexerausgang gekoppelt. In Reaktion darauf, daß das Gray-Code-Signal einen Wert von 111 hat, wird das Signal am Eingangsanschluß 5 des Multiplexers über die Gatter 70.13, 70.22 und 70.31 an den Multiplexerausgang gekoppelt. In Reaktion darauf, daß das Gray-Code-Signal einen Wert von 101 hat, wird das Signal am Eingangsanschluß 6 des Multiplexers über die Gatter 70.14, 70.22 und 70.31 an den Multiplexerausgang gekoppelt. Schließlich wird das Signal am Eingangsanschluß 7 des Multiplexers in Reaktion darauf, daß das Gray-Code-Signal einen Wert von 100 hat, über die Gatter 70.14, 70.22 und 70.31 an den Ausgangsanschluß des Multiplexers gekoppelt. Daher wird die Multiplexerausgabe zwischen den Signalen an den Eingangsanschlüssen des Multiplexers sequentiell in Reaktion auf jede Änderung der den Gattern 70

zugeführten Gray-Code-Steuersignale um ein Bit vorgeschoben. Weil sich zu einem Zeitpunkt nur ein Bit des Gray-Code-Signals ändern kann, ändern sich zu einem Zeitpunkt nur die Gatter von einer Zeile der Anordnung.

Der digitale Phasenschieber aus Fig. 1 benötigt eine Störimpuls-Sperrschaltung 48. Es ist unter vielen Umständen wünschenswert, die Möglichkeit des Auftretens von Störimpulsen vollkommen zu beseitigen und die Störimpuls-Sperrschaltung 48 daher fortzulassen. Hierzu ist ein in Fig. 3 dargestellter digital gesteuerter asynchroner Phasenschieber 198 vorgesehen. Der Phasenschieber 198 ersetzt den ganzen digitalen Phasenschieber aus Fig. 1 in einem Empfänger einer phasenverriegelten Schleife. Der Empfänger aus Fig. 1 ist durch Fortlassen des Gray-Code-Zählers 36 modifiziert, so daß der Phasenschieber 198 durch den Ausgang des Volladdierers 32 angesteuert wird, so daß sich die Schiebebefehlseingabe der Steuereinheit des Phasenschiebers 198 ändert, wenn sich die Ausgabe des Volladdierers ändert.

Der Phasenschieber 198 kann als ein Oszillator mit veränderlicher Frequenz und Phase angesehen werden, der in ähnlicher Weise, wie der digitale Phasenschieber aus Fig. 1 in Reaktion auf das vom Schleifenfilter 28 erzeugte Frequenzsteuer-Ausgangssignal Δf arbeitet, auf das vom Schleifenfilter 28 erzeugte Δf -Signal anspricht.

Die in Fig. 3 dargestellte Taktquelle mit veränderlicher Phase enthält N Verzögerungseinheiten 200.1, 200.2... 200.(k-1), 200.(k), 200.(k+1)...200.(N). Eine gewählte Anzahl (i) von Verzögerungseinheiten 200 ist durch Schalter 202 und 204 miteinander und mit der Taktquelle 208 mit fester Frequenz und fester Phase verkettet. Die Zustände der Schalter 202 und 204 werden durch die Steuereinheit 206 gesteuert, die auf die Taktquelle 208 mit fester Frequenz und fester Phase anspricht. Es gibt insgesamt N Schalter 202 und N Schalter 204, so daß einer der Schalter 202 und 204 einer anderen der Verzögerungseinheiten 200 zugeordnet ist. Daher sind die Schalter 202.1 und 204.1 der Verzögerungseinheit 200.1 zugeordnet, sind die Schalter 202.2 und 204.2 der Verzögerungseinheit 200.2 zugeordnet, sind die Schalter 202.(k) und 204.(k) der Verzögerungseinheit 200.(k) zugeordnet usw. Es wird angenommen, daß der Ausgabe der Verzögerungseinheit 200.1 eine Verzögerungszeit von "Null" zugeordnet ist. Die Schalter 202 verbinden die verschiedenen Verzögerungseinheiten 200 in Serie miteinander, während die Schalter 204 Eingänge der Verzögerungseinheiten selektiv an den Ausgangsanschluß der Taktquelle 208 koppeln. Die Schalter 202 und 204 werden durch die Steuereinheit 206 so aktiviert, daß die einer bestimmten Verzögerungseinheit zugeordneten Schalter in einem Ausführung-vor-Unterbrechung-Modus aktiviert werden.

Anfänglich befinden sich alle Schalter 204 in einem geschlossenen Zustand und alle Schalter 202 in einem geöffneten Zustand. Die Steuereinheit 206 reagiert auf ein ihr vom

Ausgang des Volladdierers 32 (Fig. 1) zugeführtes Schiebebefehlssignal und auf die ansteigende Flanke der Ausgabe des Taktgebers 208, um die Schalter 202 und 204 so zu aktivieren, daß die Schalter 202.1 und 204.1 in Reaktion darauf, daß die ansteigende Flanke des ersten Taktimpulses dem ersten Schiebeimpuls folgt, ihren Zustand so ändern, daß der Schalter 202.1 geschlossen und der Schalter 204.1 geöffnet wird. Weil alle Schalter 204 (und insbesondere der Schalter 204.2) geschlossen sind, tritt der Ausführung-vor-Unterbrechung-Vorgang auf. Wenn die ansteigende Flanke des ersten Taktimpulses dem von der Steuereinheit 206 zugeführten zweiten Schiebeimpuls folgt, schließen bzw. öffnen die Schalter 202.2 bzw. 204.2. Der Arbeitsgang wird auf diese Weise fortgesetzt, so daß die Schalter 202.(k) bzw. 204.(k) in Reaktion auf die ansteigende Flanke des ersten Taktimpulses schließen bzw. öffnen, nachdem der Schiebeimpuls k an die Steuereinheit 206 angelegt wurde. Die Steuereinheit 206 wird auf 0 zurückgesetzt, um den zuvor erwähnten Anfangsbedingungenzustand wiederherzustellen, nachdem eine Rücksetzausgabe vom Phasenänderungsdetektor 56 erzeugt wurde. Die Schalter 202 bleiben geschlossen, nachdem sie einmal geschlossen wurden, während die Schalter 204 offen bleiben, nachdem sie einmal geöffnet wurden, bis die Steuereinheit 206 durch die Ausgabe des Detektors 56 zurückgesetzt wird, was auftritt, wenn der Wellenzug am Ausgangsanschluß 210 um etwas mehr als einen Zyklus der Frequenz des Taktgebers 208 verschoben worden ist, die am Takt-Ausgangsanschluß 212 erzeugt wurde.

Im Anfangsbedingungenzustand der in Fig. 3 dargestellten Vorrichtung befindet sich eine Verzögerungseinheit 200.1 wirksam in der Schaltung, so daß es zwischen dem Ausgangsanschluß 212 der Quelle und dem Ausgangsanschluß 210 eine geringe feste Phasenänderung der von der Quelle 208 erzeugten Wellenform gibt. Wenn der Schiebeimpuls 1 der Steuereinheit 206 zugeführt wird, wird die Verzögerung der Verzögerungseinheit 200.2 eingefügt und die Phase der mit dem Anschluß 210 gekoppelten Taktquelle 208 dementsprechend modifiziert.

Wenn der Schiebeimpuls k der Steuereinheit 206 zugeführt wird, werden die Verzögerungen der Verzögerungseinheiten 200.1, 200.2..., 200.(k) und 200.(k+1) zwischen dem Ausgang des festen Taktgebers 208 und dem Anschluß 210 eingefügt, so daß es eine Phasenverschiebung von etwa $(k+1)\Delta T$ gibt, wobei ΔT in etwa der Verzögerungszeit von jeder der Verzögerungseinheiten 200 gleicht. Die Verzögerungszeiten der Einheiten 200 gleichen einander in etwa, sie gleichen einander wegen der Herstellungstoleranzen der Verzögerungseinheiten und wegen Schwankungen, die in den Verzögerungseinheiten bei und während der Verwendung auftreten, jedoch nicht genau. Die Gesamtverzögerungszeit der Verzögerungseinheiten 200.1 - 200.(N) übersteigt geringfügig die Periode eines Zyklus der festen Taktquelle 208. Die Steuereinheit 206 wird unter den meisten Umständen von der

Ausgabe des Detektors 56 zurückgesetzt, bevor der Schalter 202.(N) so aktiviert wird, daß er aus seinem normal geöffneten in seinen normal geschlossenen Zustand übergeht, und der Schalter 204.(N) so aktiviert wird, daß er aus seinem normal geschlossenen in seinen normal geöffneten Zustand übergeht.

5 Es wird nun auf Fig. 4 der Zeichnung Bezug genommen, die ein schematisches Diagramm einer einzigen Verzögerungseinheit 200.(k) der verketteten Verzögerungseinheiten 200.1 - 200.(N) ist. Die Verzögerungseinheit 200.(k) beinhaltet ODER-Gatter 213 und 214, die Ausgaben aufweisen, die Eingängen eines UND-Gatters 215 zugeführt werden. (Die Gatter 213 - 215 sind tatsächlich als ein einziges als integrierte Schaltung ausgeführtes
10 ODER-UND-Gatter auf einem Halbleiterchip ausgebildet, und alle in den Figuren 1 und 3 dargestellten Verzögerungseinheiten sind integrierte Schaltungen auf einem Halbleiterchip.) Das UND-Gatter 215 weist einen Ausgangsanschluß 216 auf, der direkt an einen Eingang des ODER-Gatters der Verzögerungseinheit 200.(k-1) angeschlossen ist, der einem ähnlichen Eingang des ODER-Gatters 214 der Verzögerungseinheit 200.(k) entspricht. In ähnlicher Weise ist ein Eingang des ODER-Gatters 214 der Verzögerungseinheit 200.(k) an den
15 Ausgangsanschluß der Verzögerungseinheit 200.(k+1) angeschlossen, der dem Ausgangsanschluß 216 der Verzögerungseinheit 200.(k+1) entspricht. Die ODER-Gatter 213 und 214 werden durch komplementäre Versionen des Signals am Anschluß 228 angesteuert, das von einem Ausgang der der Verzögerungseinheit 200.(k) zugeordneten Steuereinheit 206 erzeugt wird. Diese komplementären Eingänge bilden tatsächlich die symbolischen Schalter 202(k) und 204(k) aus Fig. 3, so daß die Eingänge der ODER-Gatter 213 und 214 jeweils Schalter 204(k) und 202(k) bilden. Das Signal am Anschluß 228 wird direkt einem Eingang des ODER-Gatters 214 und über einen Invertierer 218 einem Eingang des ODER-Gatters 213 zugeführt. Ein zweiter Eingang des ODER-Gatters 213 spricht auf die Ausgabe des
25 Taktgebers 208 an.

Die Laufzeitverzögerung der ODER-Gatter 213 und 214 bildet zusammen mit der Laufzeitverzögerung des UND-Gatters 215 die Verzögerung der Einheit 200.(k) zwischen dem Ausgangsanschluß 217 der Verzögerungseinheit 200.(k+1) und dem Eingang der Verzögerungseinheit 200.(k-1) am Anschluß 216. Eine ähnliche Laufzeitverzögerung wird
30 durch die Verzögerungseinheit 200.(k) für den Takt 208 zwischen dem Eingang des ODER-Gatters 213 und dem Anschluß 216 bereitgestellt. Der Aufbau der Gatter 213 - 215 als ein ODER-UND-Gatter stellt symmetrische Verzögerungszeiten für die ansteigenden und abfallenden Flanken der der Verzögerungseinheit 200.(k) zugeführten Impulse bereit.

Wenn das Signal von der Steuereinheit 206 am Anschluß 228 einen binären 0-Wert aufweist, erzeugt das ODER-Gatter 213 eine binäre 1-Ausgabe, um es dem UND-Gatter 215 zu ermöglichen, auf Übergänge am Ausgang des ODER-Gatters 214 anzusprechen. Die
35

Ausgänge der Gatter 213 und 214 sind dabei unempfindlich gegenüber Impulsen von der Taktquelle 208. Unter diesen Bedingungen reagiert das ODER-Gatter 214 entsprechend dem Ausgang 216 des UND-Gatters 215 auf binäre 1-0-Übergänge am Ausgang des UND-Gatters der Verzögerungseinheit 200.(k+1). Wenn gleich der Signalpegel am Anschluß 228 der Verzögerungseinheit 200.(k) auf einem 0-Pegel liegt, werden die binären 0-1-Übergänge in der Ausgabe der Verzögerungseinheit 200.(k+1) zum Ausgang 216 des UND-Gatters 215 und zum Eingang der Verzögerungseinheit 200.(k-1) übertragen, wobei die Verzögerungszeit der Verzögerungseinheit 200.(k) gleicht.

Dagegen ist die Ausgabe des UND-Gatters 215 eine Replikation des Signals von der Taktquelle 208, wenn der Pegel am Anschluß 228 eine binäre 1 ist. Dies liegt daran, daß das Gatter 214 auf einen binären 1-Pegel gesetzt ist, während die Ausgabe der Steuereinheit 206 auf einem binären 1-Pegel liegt, um es dem UND-Gatter 215 zu ermöglichen, auf Übergänge am Ausgang des ODER-Gatters 213 anzusprechen und ein Koppeln der Übergänge im Signal am Anschluß 217 über das ODER-Gatter 214 mit dem UND-Gatter 215 zu verhindern. Unter diesen Bedingungen ist die Ausgabe des ODER-Gatters 213 eine Replikation der Ausgabe des Taktgebers 208. Dabei wird der Ausgang 216 des UND-Gatters 215 auf den binären 1-Zustand getrieben, wenn binäre 1-Pegel von der Taktquelle 208 erzeugt werden. Die binären 1-Impulse am Anschluß 216 treten zu einem Zeitpunkt auf, der um die Verzögerungszeit der Verzögerungseinheit 200.(k) gegenüber der Zeit des Auftretens der Taktimpulse am Eingang des Gatters 213 verzögert ist.

Die unmittelbarste Art des Verwirklichens der Steuereinheit 206 besteht darin, für jede der Verzögerungsstufen 200.1 - 200.(N) eine getrennte Steuerstufe bereitzustellen. Weil es eine große Anzahl von Verzögerungseinheiten gibt, wobei N eine Zahl wie 64, 128 oder 256 ist, wird bei diesem Weg sehr viel Hardware verwendet. Zum Verringern des Hardwareumfangs auf vertretbare Werte werden die Verzögerungseinheiten 200.1 - 200.(N) in eine Anzahl von Gruppen eingeteilt, die jeweils die gleiche Anzahl von Verzögerungseinheiten aufweisen. Bei der speziell beschriebenen Ausführungsform sind in jeder Gruppe 16 Verzögerungseinheiten und insgesamt vier Gruppen enthalten, so daß $N = 64$ ist.

Die Verzögerungseinheiten 200 in einer bestimmten Gruppe werden beginnend mit der Verzögerungseinheit mit der kleinsten Nummer einer bestimmten Gruppe und zur Einheit mit der höchsten Nummer der Gruppe fortschreitend der Reihe nach aktiviert. Demgemäß werden in der ersten Gruppe beispielsweise die Schalter 202.1 - 202.16 der Reihe nach geschlossen, wobei die Schalter 204.1 - 204.16 dazwischen der Reihe nach geöffnet werden. Während die Schalter 202.1 - 202.16 und 204.1 - 204.16 der Reihe nach aktiviert werden, werden auch die den Verzögerungseinheiten 200.17 - 200.(N) zugeordneten verbleibenden Schalter der Reihe nach geöffnet und geschlossen. Die Betätigung der Schalter der

Verzögerungseinheiten 200.17 - 200.(N), während die Schalter der Verzögerungseinheiten 200.1 - 200.16 betätigt werden, hat keine Wirkung auf die zwischen den Anschlüssen 212 und 210 eingefügte Verzögerung, weil der Schalter 202.16 während des Übergangs in den Zuständen der Schalter 202.1 - 15 und 204.1 - 15 offen ist. Wenn die Schalter 202.16 bzw. 204.16 geöffnet bzw. geschlossen sind, ist garantiert, daß die Schalter 202.17 bzw. 204.17 geöffnet bzw. geschlossen sind. Nachdem die Schalter 202.1 - 202.16 und 204.1 - 204.16 der Reihe nach aktiviert wurden, wird der gleiche Aufbau der Steuereinheit 206, der die Schalter der Verzögerungseinheiten 200.1 - 200.16 gesteuert hat, verwendet, um die Schalter 202.17 - 202.32 der Reihe nach zu schließen, wobei die Schalter 204.17 - 204.32 dazwischen geöffnet werden. Die Schalter 202.1 - 16 bleiben in einem statischen geschlossenen Zustand, während die Schalter 204.1 - 16 in einem statisch geöffneten Zustand bleiben. Die Schalter 202.1 - 16 und 204.1 - 16 bleiben in einem statischen Zustand, und die Schalter der Verzögerungseinheiten 200.1 - 200.32 bleiben in einem statischen Zustand, und die Schalter der Verzögerungseinheiten 200.33 - 200.48 werden der Reihe nach aktiviert. Der Betrieb wird auf diese Weise fortgesetzt, bis der Phasenänderungsdetektor 56 einen Rücksetzimpuls erzeugt, wobei die Steuereinheit 206 zu diesem Zeitpunkt aktiviert und in den Anfangszustand zurückversetzt wird.

Fig. 5 ist ein schematisches Diagramm der Steuereinheit 206, die einen störimpulsfreien Vier-Bit-Decodierzähler 220, beispielsweise einen Gray-Code-Zähler, UND-Gatter 224.1 - 224.4, eine Folgesteuereinheit 232, ein Vier-Bit-Rückkopplungs-Schieberegister 234, synchrone Setz-Rücksetz-Flipflops 236.1 - 236.4 sowie UND-Gatter 238.1 - 238.4 aufweist, die zum Steuern der Verzögerungseinheiten 200.1 - 200.64 alle miteinander verbunden sind. Impulse von der Taktquelle 208 werden Takteingängen (C) des Zählers 220, der Folgesteuereinheit 232, des Schieberegisters 234 und der Flipflops 236.1 - 236.4 zugeführt. Schieberegisterimpulse werden dem Zählfreigabeeingang (CE-Eingang) des Zählers 220 und von der Folgesteuereinheit 232 dem Schieberegistereingang (SE-Eingang) des Schieberegisters 234 zugeführt. Wenn sie so freigegeben sind, reagieren der Zähler 220 und das Schieberegister 234 auf die ansteigenden Flanken der Impulse von der Taktquelle 208 so, daß sie den Zählwert des Zählers und den Schieberegisterzustand erhöhen.

Der Zähler 220 hat einen Bus für eine decodierte 15-Bit-Ausgabe, der Leitungen 222.1 - 222.15 aufweist. Im Rücksetzzustand befinden sich auf allen Leitungen 222.1 - 222.15 binäre Eins-Werte. Eins-Null-Übergänge werden der Reihe nach den Leitungen 222.1 - 222.15 zugeführt, nachdem der Steuereinheit 206 über einen Anschluß 270 15 sequentielle Schiebeimpulse zugeführt wurden. Der Zähler 220 wird sequentiell vom Zustand 0 in den Zustand 15 versetzt, nachdem 15 sequentielle Schiebeimpulse an seinen Zählfreigabeeingang (CE-Eingang) angelegt wurden, woraufhin ein Impuls vom Taktgeber 208 an den

Takteingang (C-Eingang) des Zählers angelegt wurde. Wegen der Frequenzverschiebung zwischen der Ausgabe eines Taktgebers 42 (der mit dem Taktgeber 208 in Fig. 3 gleichwertig ist) und der über die Leitungen 12 und 14 (Fig. 1) zugeführten Frequenzinformation tritt ein monotones Ansteigen des Werts des Volladdierers 32 auf, was zu sequentiellen Ausgangsimpulsen mit einer nahezu konstanten Frequenzverschiebung auf der Leitung 34 führt. Daher ergibt sich eine nahezu konstante Frequenzänderung der Ausgabe des Zählers 220 auf den Leitungen 222.1 - 222.15.

Die Leitungen 222.1 - 222.15 sind parallel mit Eingängen der Gatteranordnungen 224.1 - 224.4 vorgesehen, wobei jede von ihnen einer der vier Gruppen der Verzögerungseinheiten 200.1 - 200.64 zugeordnet ist, wobei jede Gatteranordnung 224.1 - 224.4 15 UND-Gatter, jeweils eines für jede der Verzögerungseinheiten 200.1 - 200.15, 200.17 - 200.31, 200.33 - 200.47 und 200.49 - 200.63, aufweist. Die UND-Gatter 224.1 - 224.4 werden in Reaktion auf binäre 0-Pegel gesperrt, die sequentiell jeweils an den verbleibenden Eingang von jedem der Gatter an den Leitungen 226.1 - 226.4 angelegt werden.

Zu Anfang werden die Flipflops 236.1 - 236.4 so aktiviert, daß ein binärer 1-Pegel auf jeder der Leitungen 226.1 - 226.4 erzeugt wird, um alle UND-Gatter 224.1 - 224.4 freizugeben. Nachdem 16, 32, 48 und 64 Schiebeimpulse der Steuerung 206 über den Anschluß 270 zugeführt wurden, ändern sich die Pegel auf den Leitungen 226.1 - 226.4 jeweils von 1 nach 0, wodurch die UND-Gatter 224.1 - 224.4 sequentiell gesperrt werden. Hierzu hat jedes der UND-Gatter 224.1 - 224.4 einen 15-Bit-Ausgangsbuss und ist jedes der 15 Bits an einen der 15 verschiedenen Eingangsanschlüsse gekoppelt, von denen jeder dem Anschluß 228 der Verzögerungseinheit 200.(k) entspricht (Fig. 4). Die getrennten Bits der 15-Bit-Ausgangsbusse der Gatter 224.1, 224.2, 224.3 und 224.4 sind jeweils mit dem Anschluß 228 der Verzögerungseinheiten 200.1 - 200.15, 200.17 - 200.31, 200.33 - 200.47 und 200.49 - 200.63 entsprechenden Eingängen verbunden. Die Eingangsanschlüsse 228 der Verzögerungseinheiten 200.16, 200.32, 200.48 und 200.64 reagieren jeweils auf binäre Pegel auf den Leitungen 228.16, 228.32, 228.48 und 228.64, wenn binäre Pegel in die vier Stufen des Rückkopplungs-Schieberegisters 234 geladen werden. Zuerst werden in das Schieberegister 234 0001-Pegel auf den Leitungen 228.64, 228.48, 228.32 bzw. 228.16 geladen. Auf jede I-Verschiebung hin verschiebt sich der zuerst geladene binäre Eins-Pegel so, daß er sequentiell an die Leitungen 228.16, 228.32, 228.48 und 228.64 angelegt wird.

Der Zähler 220 weist einen Rücksetzeingang (RST) auf, der auf die Rücksetzausgabe des über das ODER-Gatter 230 gekoppelten Phasenänderungsdetektors 56 anspricht. Das ODER-Gatter 230 reagiert auch auf eine Rücksetzausgabe der programmierten Folgesteuereinheit 232, die in Reaktion auf Impulse von der Taktquelle 208 vorgeschoben wird

und einen Rücksetzeingang (RST-Eingang) aufweist, der auf die Rücksetzausgabe des Phasenänderungsdetektors 56 anspricht.

Die Folgesteuereinheit 232 weist einen Eingang vom Anschluß TC des Zählers 220 auf, der einen binären 1-Wert aufweist, wenn sich der Zähler in seinem Endzustand befindet. Im Endzustand des Zählers 220 ist eine binäre 0 an alle Leitungen 221.1 - 221.15 angelegt. Die Folgesteuereinheit 232 reagiert auch auf die Schiebeimpulse am Anschluß 270. Die Folgesteuereinheit 232 reagiert auf die Eingaben und erzeugt Ausgangssignale zum Steuern des Anlegens von Impulsen an die Leitungen 226.1 - 226.4 sowie die Leitungen 228.16, 228.32, 228.48 und 228.64. Hierzu liefert die Folgesteuereinheit 232 dem Schiebefreigabeeingang (SE-Eingang) des Schieberegisters 234 "I-Schiebe"-Impulse und führt den Setzeingängen der Setz-Rücksetz-Flipflops 236.1, 236.2, 236.3 und 236.4 über die UND-Gatter 238.1, 238.2, 238.3 bzw. 238.4 selektiv parallel "Gruppenfestlegeimpulse" zu. Die UND-Gatter 238.1 - 238.4 reagieren jeweils auch auf Ausgaben von den vier Stufen des Schieberegisters 234, so daß die Leitungen 228.16, 228.32, 228.48 und 228.64 jeweils mit den Gattern 238.1, 238.2, 238.3 bzw. 238.4 verbunden werden.

Das Schieberegister 234 wird aktiviert, so daß in seine Stufen 1 - 4 sequentiell binäre Einsen geladen werden, um die Gatter 238.1 - 238.4 sequentiell zu aktivieren, so daß die "Gruppenfestlege"-Ausgangsimpulse der Folgesteuereinheit 232 sequentiell an die Setzeingangsanschlüsse (S-Eingangsanschlüsse) der Flipflops 236.1 - 236.4 angelegt werden. Hierdurch werden sequentiell binäre 1-0-Übergänge auf den Leitungen 226.1 - 226.4 hervorgerufen. Alle Flipflops 236.1 - 236.4 werden auf die Rücksetzausgabe des Phasenänderungsdetektors 56 hin gleichzeitig zu einem 0-Zustand zurückgesetzt. Weil die Leitungen 226.1 - 226.4 an die invertierenden Ausgangsanschlüsse der Flipflops 236.1 - 236.4 angeschlossen sind, befinden sich auf den Leitungen 226.1 - 226.4 binäre Einsen, wenn die Flipflops zurückgesetzt werden.

Die letzte Stufe des Vier-Bit-Rückkopplungsschieberegisters 234 ist an den Dateneingang (D-Eingang) des Schieberegisters zurückgekoppelt. Das Schieberegister 234 wird ansprechend auf die Rücksetzausgabe des Phasenänderungsdetektors 56 aktiviert und in einen Anfangszustand zurückgesetzt. Im Rücksetzzustand befindet sich in der ersten Stufe des Schieberegisters 234 eine binäre 1, und die restlichen Stufen befinden sich in einem binären 0-Zustand. Das Schieberegister 234 beinhaltet einen Schiebefreigabeeingang (SE-Eingang), der auf die I-Schiebeausgabe der Folgesteuereinrichtung 232 anspricht, sowie einen Eingangstaktanschluß (C), der auf die Ausgabe des Taktgebers 208 anspricht. Das Schieberegister 234 wird gebildet und spricht auf seine Eingaben an, so daß die binäre 1 in seiner ersten Stufe auf dem Anschluß 270 zugeführte 16, 32, 48 und 64 Schiebeimpulse hin (denen

jeweils ein Impuls von der Taktquelle 208 folgt) zu den Stufen 2, 3 und 4 verschoben wird. Dadurch wird zunächst ein binärer 1-Pegel auf die Isolationsleitung 228.16 gegeben.

Nach 16 Schiebeimpulsen gibt es auf der Leitung 228.16 einen binären 1-0-Übergang, und ein binärer 0-1-Übergang wird durch die zweite Stufe des Schieberegisters 234 auf die Leitung 228.32 gegeben. Der binäre 1-Pegel bleibt auf der Leitung 228.32, bis dem Anschluß 270 32 Schiebeimpulse zugeführt wurden. Der Vorgang wird auf diese Weise für die Leitungen 228.48 und 228.64 fortgesetzt, falls vom Detektor 56 kein Rücksetzimpuls erzeugt wird, bevor der 64. Schiebeimpuls erzeugt wurde.

Ein Flußdiagramm für die Arbeitsweise der Folgesteuereinheit 232 ist in Fig. 6 dargestellt. Die Folgesteuereinheit 232 wird sequentiell aktiviert und reagiert so auf Eingaben, daß sie die Setzgruppen-, die I-Schiebe- und die C_{RST} -Ausgaben erzeugt, die jeweils an die Gatter 238.1 - 238.4, den SE-Eingang des Schieberegisters 234 und den RST-Eingang des Zählers 220 angelegt werden. Nachdem dem Rücksetzeingang der Folgesteuereinheit 232 ein Impuls vom Phasenänderungsdetektor 56 zugeführt wurde, wird die Folgesteuereinheit aktiviert und in den Ruhezustand 252 versetzt. Der nächste Impuls vom Taktgeber 208 aktiviert die Folgesteuereinheit 232 und versetzt sie an einen Entscheidungspunkt 254, wenn festgestellt wird, ob sich ein binärer 1-Pegel am TC-Ausgang des Zählers 220 befindet, wobei eine binäre 1 am TC-Ausgang des Zählers 220 angibt, daß sich der Zähler in seinem Endzustand befindet. Falls sich der Zähler 220 in seinem Endzustand befindet, geht die Folgesteuereinheit 232 in den "Gruppenfestlegezustand" 256 über, während dessen die Folgesteuereinheit binäre 1-Pegel jedem der UND-Gatter 238.1 - 238.4 parallel zuführt. Der nächste Taktimpuls versetzt die Folgesteuereinheit 232 in einen Zustand 258. Im Zustand 258 liefert die Folgesteuereinheit 232 dem RST-Eingang des Zählers 220 über das ODER-Gatter 230 einen binären 1-Pegel. Der nächste Impuls von der Taktquelle 208 versetzt die Folgesteuereinheit 232 zum Entscheidungspunkt 260, wenn festgestellt wird, ob ein Schiebeimpuls der Steuereinheit 206 zugeführt wird. Falls es einen Schiebeimpuls gibt, wird die Folgesteuereinheit in einen Zustand 262 versetzt. Im Zustand 262 führt die Folgesteuereinheit 232 dem Schiebefreigabeeingang des Schieberegisters 234 einen "I-Schiebe"-Impuls zu. In Reaktion auf den nächsten Taktimpuls kehrt die Folgesteuereinheit 232 in den Ruhezustand 252 zurück, und der Zyklus wird in Reaktion auf das nächste Setzen von Taktimpulsen wiederholt.

Falls die Folgesteuereinheit 232 am Entscheidungspunkt 254 bestimmt, daß sich der Zähler 220 nicht in seinem Endzustand befindet, bleibt die Folgesteuereinheit im Ruhezustand 252. Die Folgesteuereinheit bleibt im Zustand 252, bis sich am TC-Ausgang des Zählers 220 ein binärer 1-Pegel befindet, um anzugeben, daß sich der Zähler im Endzustand befindet. Wenn der Entscheidungspunkt 260 bestimmt, daß der Folgesteuereinheit 232 kein

Schiebeimpuls zugeführt wird, bleibt die Folgesteuereinheit 232 im Zustand 258 und setzt den Zähler 220 fortlaufend in den Anfangszustand zurück. Die Folgesteuereinheit 232 bleibt im Zustand 258, bis der Folgesteuereinheit über den Anschluß 270 ein Schiebeimpuls zugeführt wird.

5 Im Rücksetzzustand werden dem Anschluß 228 von jeder der Verzögerungseinheiten 200.1 - 200.64 mit Ausnahme der Anschlüsse 228 der Verzögerungseinheiten 200.32, 200.48 und 200.64 von der Steuereinheit 206 binäre 1-Pegel zugeführt. Im Rücksetzzustand liefern die Leitungen 226.1 - 226.4 den UND-Gattern 224.1 - 224.4 jeweils binäre 1-Pegel, und der Zähler 220 wird so aktiviert, daß eine binäre 1 an jeder seiner Ausgangsleitungen
10 222.1 - 222.15 erzeugt wird und die binäre 1 in der ersten Stufe des Schieberegisters 234 an die Leitung 228.16 gekoppelt wird, die an den Eingangsanschluß 228 der Verzögerungseinheit 200.16 angeschlossen ist. Dabei werden die Taktimpulse von der Quelle 208 am Anschluß 212 beim Laufen vom Anschluß 212 zum Anschluß 210 um die der Verzögerungseinheit 200.1 zugeordnete Verzögerungszeit verzögert.

15 Die Verzögerung der Verzögerungseinheit 200.1 zwischen den Anschlüssen 212 und 210 für die Impulse der Taktquelle 208 wird beibehalten, bis der Schiebeimpuls 1 dem Zählerfreigabeeingang (CE) des Zählers 220 und einem Eingang der Folgesteuereinheit 232 zugeführt wird. Wenn dem Schiebeimpuls 1 die ansteigende Flanke des nächsten Taktimpulses von der Quelle 208 folgt, wird der Zustand des Zählers 220 um einen Zählwert von 1 erhöht. Dies bewirkt, daß sich der binäre Pegel an den Anschlüssen 228 der Verzögerungseinheiten 200.1, 200.17, 200.33 und 200.49 von einem binären 1-Zustand zu einem binären 0-Zustand ändert, während der binäre Pegel an den Anschlüssen 228 der restlichen Verzögerungseinheiten ungeändert bleibt. Die Änderung von einem binären 1-Zustand zu einem binären 0-Zustand an den Steueranschlüssen 228 der Verzögerungseinheiten 200.17, 200.33
20 und 200.49 hat keine Wirkung auf die von der Verzögerungseinheit 198 am Ausgang des Taktgebers 208 hervorgerufene Verzögerung. Dies liegt daran, daß ein Isolationsniveau "1" an die Leitung 228.16 angelegt wird, um den Schalter 202.16 zu öffnen und alle Verzögerungseinheiten 200.17 - 200.64 von den Verzögerungseinheiten 200.1 - 200.16 zu trennen, die wirksam in der Schaltung vorhanden sind.

30 Wenn die Verzögerungseinheiten 200 so eingestellt sind, wie erwähnt wurde, werden die Impulse von der Taktquelle 208 um die Verzögerungszeit von den Verzögerungseinheiten 200.1 und 200.2 verzögert. Der an den Steueranschluß 228 der Verzögerungseinheit 200.1 angelegte binäre 0-Pegel verhindert das Koppeln des Impulses von der Taktquelle 208 über das ODER-Gatter 213 der Verzögerungseinheit 200.1. Der an den Steueranschluß
35 228 der Verzögerungseinheit 200.2 angelegte binäre 1-Pegel bewirkt, daß der Impuls von der Taktquelle 208 über das ODER-Gatter 213 und das UND-Gatter 215 bei der der Ver-

zögerungseinheit 200.2 zugeordneten Verzögerungszeit mit dem Anschluß 216 der Verzögerungseinheit 200.2 gekoppelt wird. Der Impuls am Ausgangsanschluß 216 der Verzögerungseinheit 200.2 wird an den Anschluß 217 der Verzögerungseinheit 200.1 und damit an den Ausgangsanschluß 216 der Verzögerungseinheit 200.1 gekoppelt, wobei eine Verzögerung von der Verzögerungseinheit 200.1 eingefügt ist. Dadurch wird der Taktimpuls von der Quelle 208 bei den kombinierten eingefügten Verzögerungen der Verzögerungseinheiten 200.1 und 200.2 vom Anschluß 212 an den Anschluß 210 gekoppelt.

Der Arbeitsgang wird auf diese Weise für die Verzögerungseinheiten 200.1 - 200.15 fortgesetzt, nachdem der Zähler 220 um die ersten 15 aufeinanderfolgenden Schiebeimpulse erhöht wurde. An diesem Punkt erreicht der Zähler seinen Endzustand. Hierdurch wird bewirkt, daß der Folgesteuereinheit 232 vom TC-Ausgang des Zählers 220 ein binärer 1-Pegel zugeführt wird, um die Folgesteuereinheit auf einen Impuls von der Taktquelle 208 hin in den "Gruppenfestlegezustand" 256 zu versetzen. Wenn sich die Folgesteuereinheit 232 im Zustand 256 befindet, wird jedem der UND-Gatter 238.1 - 238.4 parallel ein binärer 1-Pegel von der Folgesteuereinheit zugeführt.

Auf den nächsten Taktimpuls von der Quelle 208 hin geht die Folgesteuereinheit 232 in den Rücksetzzustand 258 über, um den Zähler 220 in den Anfangszustand eines binären 1-Pegels zurückzusetzen, der sich in allen Stufen des Zählers befindet, so daß die binären 1-Pegel jeder der Leitungen 222.1 - 222.15 zugeführt werden. Der nächste Impuls von der Taktquelle 208 versetzt die Folgesteuereinheit 232 an einen Entscheidungspunkt 260, wo sie feststellt, ob ein Schiebeimpuls am Anschluß 260 vorhanden ist oder nicht. Ansprechend auf den Schiebeimpuls 16 wird die Folgesteuereinheit 232 in einen Zustand 262 versetzt, und sie führt dem Schiebefreigabeeingang (SE-Eingang) des Schieberegisters 234 einen binären 1-Pegel zu. Hierdurch wird bewirkt, daß ein binärer 1-Pegel in die zweite Stufe des Schieberegisters geladen wird, während in jede der Stufen 1, 3 und 4 des Schieberegisters eine binäre 0 geladen wird.

Während sich die Folgesteuereinheit 232 im Zustand 256 befindet, weil der Zähler 220 in Reaktion auf 15 Schiebeimpulse sequentiell verschoben wurde, wird der Flipflop 236.1 auf 1 gesetzt, was bewirkt, daß sich der Pegel auf der Leitung 226.1 von einer binären 1 zu einer binären 0 ändert. Diese Änderung tritt auf, weil der binäre 1-Zustand der ersten Stufe des Schieberegisters 234 über das UND-Gatter 238.1 an den Flipflop 236.1 gekoppelt ist. Wenn sich der Pegel der Leitung 226.1 auf dem binären 0-Pegel befindet, wird das UND-Gatter 224.1 gesperrt, und es werden binäre 0-Pegel an die Eingangsanschlüsse 228 der Verzögerungseinheiten 220.1 - 220.15 angelegt, bis der nächste Rücksetzimpuls vom Detektor 56 abgeleitet wird.

Ein binärer 1-Pegel wird an den Eingangsanschluß 228 der Verzögerungseinheit 200.16 angelegt, bis der Schiebeimpuls 16 an die Steuereinheit 206 angelegt wird, worauf ein Taktimpuls folgt. Dies liegt daran, daß die erste Stufe des Schieberegisters 234 während des Intervalls der Schiebeimpulse 1 - 15 in einem binären 1-Zustand bleibt. Der Schiebeimpuls 16 und der folgende Taktimpuls von der Quelle 208 bewirken, daß sich die erste Stufe des Schieberegisters 234 vom binären 1-Zustand zum binären 0-Zustand ändert. Gleichzeitig wird in die zweite Stufe des Schieberegisters eine binäre 1 geladen, während in die restlichen Stufen des Schieberegisters binäre 0-Zustände geladen werden. Hierdurch wird ein binärer 1-0-Übergang auf der Leitung 228.16 hervorgerufen, so daß die Verzögerungseinheit 200.16 zwischen die Anschlüsse 212 und 210 eingefügt wird. Die Gesamtverzögerungszeit zwischen den Anschlüssen 212 und 210 für die Impulse der Taktquelle 208 besteht aus den kombinierten Verzögerungszeiten der Verzögerungseinheiten 200.1 - 200.16. Nach dem Vorgang 262 wird die Folgesteuereinheit 232 durch den nächsten Taktimpuls von der Quelle 208 aktiviert, so daß sie in den Ruhezustand 252 zurückkehrt.

Daher werden den Steueranschlüssen 228 der Verzögerungseinheiten 200.1 - 200.16 binäre 0-Pegel zugeführt, nachdem der Folgesteuereinheit 232 und dem Zähler 220 der 16. Schiebeimpuls zugeführt wurde, dem der nächste Impuls von der Taktquelle 208 folgte. Zu diesem Zeitpunkt werden binäre 1-Pegel den jeweiligen UND-Gattern 224.2 - 224.4 von den Flipflops 236.2 - 236.4 und dem Zähler 220 von den Leitungen 222.1 - 222.15 zugeführt. Dadurch werden den Eingangsanschlüssen 228 der Verzögerungseinheiten 200.17 - 200.64 binäre 1-Pegel zugeführt, dies gilt jedoch nicht für die Verzögerungseinheiten 200.48 und 200.64, denen binäre 0-Pegel zugeführt werden.

Der Arbeitsgang wird in der angegebenen Weise für die restlichen Verzögerungseinheiten 200.17 - 200.64 in Reaktion auf Schiebeimpulse 17 - 64 fortgesetzt, bis der Steuereinheit 206 vom Phasenänderungsdetektor 56 ein Rücksetzimpuls zugeführt wird. Im vielen Fällen wird der Steuereinheit 206 ein Rücksetzimpuls vom Phasenänderungsdetektor 56 zugeführt, erheblich bevor sich der Pegel am Anschluß 228 der Steuereinheit 200.64 von einem binären 1-Pegel zu einem binären 0-Pegel ändert. Die Zeit, zu der der Rücksetzimpuls bezüglich der Zustandsänderung an einer bestimmten Verzögerungseinheit 200 erzeugt wird, ist als Funktion von Herstellungstoleranzen, der Temperatur und der Versorgungsspannung der Verzögerungseinheiten zufällig und veränderlich. Es ist in jedem Fall erforderlich, daß die Gesamtverzögerungszeit der Verzögerungseinheiten 200.1 - 200.64 bei deren Verkettung den Zeitraum zwischen benachbarten Impulsen der Taktquelle 208 übersteigt. In Reaktion auf den Rücksetzimpuls vom Phasenänderungsdetektor 56 werden der Zähler 220, die Folgesteuereinheit 232, das Schieberegister 234 und die Flipflops 236.1 -

236.4 aktiviert und in ihren Anfangszustand versetzt, wie zuvor beschrieben wurde. Der Ablauf beginnt dann erneut in Reaktion auf den nächsten Schiebeimpuls am Anschluß 270.

Wenngleich spezielle Ausführungsformen zur Veranschaulichung der Erfindung beschrieben wurden, wird verständlich sein, daß Abänderungen und Modifikationen sowie andere Ausführungsformen innerhalb des Schutzzumfangs gemäß den anliegenden Ansprüchen möglich sind.

Patentansprüche

1. Verfahren zum Verschieben der Phase einer ersten periodischen Wellenform (42) auf einen ausgewählten von mindestens einigen verschiedenen diskreten Werten (Ausgang von 36), wobei der periodischen Wellenform (42) eine Verzögerung (44.1, 44.2...44.N) über eine von dem ausgewählten diskreten Wert bestimmte Zeit auferlegt wird, um eine weitere periodische Wellenform (46) zu gewinnen, die bezüglich der ersten periodischen Wellenform in ihrer Phase verschoben ist, so daß sich die auferlegte Verzögerung ändert, wenn sich der ausgewählte diskrete Wert ändert, dadurch **gekennzeichnet**, daß der gewählte diskrete Wert in Antwort darauf, daß die erste periodische Wellenform (42) durch die auferlegte Verzögerung über ein ganzes Vielfaches etwa eines Zyklus der ersten periodischen Wellenform (42) verschoben wird, auf einen Anfangswert zurückgesetzt wird (Zurücksetzen von 36).

2. Verfahren nach Anspruch 1, wobei der genannte Anfangswert gleich Null ist.

3. Verfahren nach einem der vorhergehenden Ansprüche, wobei der gewählte diskrete Wert wie folgt erhalten wird:

Umwandeln (36) eines eine gewünschte Phasenverzögerung (Ausgang von 32) der periodischen Wellenform (42) darstellenden Werts in ein Signal (Ausgang von 36) mit mindestens einigen diskreten Werten, die sich als Funktion der Zeit ändern, und

Erhöhen (Ausgang von 28) des diskreten Werts des Signals mit einer gewissen Geschwindigkeit für jede Einheit einer gewünschten Phasenverzögerungsänderung in einem Zyklus der periodischen Wellenform (42),

wobei die auferlegte Verzögerung erhalten wird, indem mindestens einige diskrete Verzögerungszeiten (44) für die periodische Wellenform (42) vorgesehen werden,

in Antwort auf den diskreten Wert des Signals eine der mindestens einigen diskreten Verzögerungszeiten der periodischen Wellenform (42) so ausgewählt wird (40), daß eine Entsprechung zwischen den diskreten Verzögerungszeiten, denen die periodische Wellenform (42) unterworfen wird, und den sich ändernden Werten des diskreten Signals besteht,

die periodische Wellenform (42) um die gewählte diskrete Verzögerungszeit verzögert wird (44), um eine einer Verzögerung unterworfenen periodischen Wellenform (46) zu gewinnen; und

das Zurücksetzen durch Zurücksetzen (36) des diskreten Werts des Signals auf einen vorbestimmten Wert in Antwort darauf geschieht, daß sich die Phase der einer Verzögerung

unterworfenen periodischen Wellenform über etwa ein ganzzahliges Vielfaches von 360° der Phase der periodischen Wellenform (42) ändert.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei die periodische Wellenform (42) eine Taktwelle mit einer vorbestimmten festen Frequenz darstellt und die phasenverschobene periodische Wellenform eine Ausgangswelle (Ausgang von 50) ist,

ein digitales Steuersignal mit einem Wert erhalten wird (16, 18, 22, 28), der sich in Antwort auf die relative Phase eines Eingangssignals (12, 14) konstanter Frequenz und der Ausgangswelle (46) verändert,

die Taktwelle den mindestens einigen diskreten Verzögerungen (44) unterworfen wird, so daß mindestens einige Wellen mit unterschiedlichen zeitlichen Positionen abgeleitet werden, die Replikationen der Taktwelle sind,

das Auferlegen der Verzögerung durchgeführt wird, indem in Antwort auf die Werte des digitalen Steuersignals (Ausgang von 36) eine der Wellen mit unterschiedlichen zeitlichen Positionen ausgewählt wird (40), um die Ausgangswelle zu gewinnen, und

das Zurücksetzen (Ausgang von 56) jedesmal dann, wenn die Ausgangswelle (Ausgang von 50) aufgrund einer Vorlauf-/Rücklauf-Änderung in der Phasenbeziehung der Ausgangswelle und der Taktwelle ihre Phase bezüglich der Taktwelle (42) um etwa 360° ändert, ein Zurücksetzen des Werts des digitalen Steuersignals auf einen vorbestimmten Anfangswert des digitalen Steuersignals bewirkt.

5. Verfahren nach Anspruch 4, wobei die Ausgangswelle und das Eingangssignal so eingerichtet sind, daß sich der Wert des digitalen Steuersignals (Ausgang von 36) zwischen Zurücksetzvorgängen monoton ändert.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei die auferlegte Verzögerung durch Anwenden mindestens einiger verketteter Verzögerungseinheiten (200) mit diskreten Verzögerungszeiten auf die periodische Wellenform (208) bewirkt wird und die diskreten Werte die Zahl der mit der periodischen Wellenform verbundenen Verzögerungseinheiten so ändern, daß dann, wenn sich der Signalwert (Ausgang von 206) ändert, die verketteten Verzögerungseinheiten mit der periodischen Wellenform (208) verbunden und von ihr getrennt werden (durch 202 und 204).

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei die periodische Wellenform einen Takt darstellt und das Verfahren eine Phasenverriegelung zwischen einer Eingabe (12, 14) konstanter Frequenz und dem Takt (42) erreicht, der eine von der konstanten

Frequenz leicht verschiedene Frequenz aufweist, und wobei das Verfahren außerdem das Abtasten (16, 18) der Amplitude der Eingabe mit einer sich aus dem phasenverschobenen Takt ergebenden Abtastfrequenz (Ausgang von 50), das Reagieren auf die abgetastete Amplitude (Ausgang von 16, 18) unter Gewinnung einer ersten Darstellung (Ausgang von 28) mit einem einem Frequenzfehler zwischen der Abtastfrequenz und der Eingabe konstanter Frequenz entsprechenden Wert, und das Integrieren (32) der ersten Darstellung unter Gewinnung einer zweiten Darstellung mit einem der dem Takt aufzuerlegenden Phasenverschiebung (durch 40, 44), die die Frequenz des Takts (42) verschiebt, vergleichbaren Wert beinhaltet, wobei benachbarte Phasenverschiebungswerte einen etwa gleichförmigen Abstand voneinander aufweisen und die dem Takt (durch 40, 44) auferlegte Verzögerung über eine Zeit erfolgt, die einem ausgewählten der diskreten Werte direkt proportional ist, um den frequenzverschobenen Takt (Ausgang von 50) zu erhalten.

8. Verfahren nach Anspruch 7, wobei die Verzögerung durch Gewinnen (44) mindestens einer Replikation des Takts, so daß benachbarte Replikationen k (Ausgänge von 44.1 und 44.2) etwa die gleiche Zeitverzögerung voneinander aufweisen, und durch Wählen (durch 40) derjenigen Replikation, die gegenüber dem Takt um einen Betrag phasenverschoben ist, der vom Wert der zweiten Darstellung (Ausgang von 32) bestimmt ist, erfolgt.

9. Vorrichtung zum Verschieben der Phase einer periodischen Wellenform (42) in Antwort auf ein Steuersignal (Ausgang von 36), das eine der periodischen Wellenform aufzuerlegende Phasenänderung darstellt, aufweisend:

eine auf die periodische Wellenform (42) ansprechende Schaltung (44), um mindestens einige Replikationen der periodischen Wellenform (Ausgänge von 44.1...44.(N-1)) zu gewinnen, die jeweils zueinander unterschiedliche Zeitverzögerungen aufweisen, eine auf das die Phasenänderung darstellende Signal (Ausgang von 36) ansprechende Einrichtung (40) zum Verbinden einer ausgewählten Replikation mit einem ersten Ausgangsanschluß (46) als Funktion des Werts des Steuersignals, gekennzeichnet durch eine Einrichtung (56) zum Zurücksetzen des Steuersignals (Ausgang von 36) auf einen vorbestimmten Wert, wenn sich die Replikation an dem Ausgangsanschluß (46) über ein ganzes Vielfaches etwa eines Zyklus der periodischen Wellenform (42) verschoben hat.

10. Vorrichtung nach Anspruch 9, wobei das die Phasenänderung darstellende Signal ein Phasenkorrektursignal (34) ist, das aufgrund eines einen im wesentlichen konstanten Frequenzfehler (30) zwischen der Replikation an dem Ausgangsanschluß und einer Bezugsfrequenz (12) darstellenden Signals gewonnen wird, wobei der vorbestimmte Wert des Steu-

ersignals auf einen Wert gesetzt ist, der einer Phasenverzögerung von 0° der periodischen Wellenform (42) entspricht, wenn sich die Phase der Replikation am Ausgangsanschluß von der Phase der periodischen Wellenform nach Lieferung an den ersten Ausgangsanschluß (46) um etwa $P \times 360^\circ$ unterscheidet, wobei P eine ganze Zahl darstellt.

11. Vorrichtung nach einem der Ansprüche 9 bis 10, wobei die Zurücksetzungseinrichtung eine endliche Laufzeitverzögerung (58) aufweist und eine Einrichtung (56) zum Erkennen eines gleichzeitigen Auftretens ähnlicher Übergänge in der ausgewählten Replikation am Ausgangsanschluß (46) und einer von der Laufzeitverzögerung verzögerten Replikation des Takts (Ausgang von 58) beinhaltet.

12. Vorrichtung nach einem der Ansprüche 9 bis 11, wobei die Schaltung mindestens einige Verzögerungseinheiten (44) mit diskreten Verzögerungszeiten und eine Steuerung (40) aufweist, die auf das Steuersignal (Ausgang von 36) anspricht, um Verbindungen der Verzögerungseinheiten (44) zwischen einem Ausgangsanschluß einer Quelle der Wellenform (42) und dem ersten Ausgangsanschluß (46) so zu steuern, daß dann, wenn sich der Wert des Steuersignals ändert, entsprechende Änderungen der periodischen Wellenform zwischen dem Ausgangsanschluß der Wellenform-Quelle und dem ersten Ausgangsanschluß von den Verzögerungseinheiten auferlegten Verzögerungszeit auftreten, wobei die Verzögerungseinheiten (44) miteinander verkettet sind, die Steuerung (40) auf den Wert des Steuersignals anspricht, um die wirksame Zahl der zwischen dem Ausgangsanschluß der Quelle und dem anderen Ausgangsanschluß verketteten Verzögerungseinheiten so zu steuern, daß dann, wenn sich der Wert des Steuersignals ändert, entsprechende Änderungen in der Zahl der zwischen den Ausgangsanschlüssen wirksam verketteten Verzögerungseinheiten auftreten, und die Steuerung einen Ausgang einer der Verzögerungseinheiten auswählt und den ersten Ausgangsanschluß mit ihm verbindet.

13. Vorrichtung nach Anspruch 12, wobei die Steuerung einen Multiplexer (40) mit einem auf das Steuersignal ansprechenden ersten Eingangsanschluß (38) aufweist, um einen Ausgang einer der Verzögerungseinheiten zu wählen und ihn mit dem anderen Ausgangsanschluß (46) zu verbinden, der Multiplexer 1,2...N Signal-Eingangsanschlüsse ($0 \dots (N-1)$) aufweist, die jeweils auf 1,2...N verzögerte Replikationen der Welle an Ausgangsanschlüssen von Verzögerungseinheiten 1,2...N ansprechen, die Verzögerungszeit der verzögerten Replikation am Eingangsanschluß k die Verzögerungszeit der verzögerten Replikationen an Eingangsanschlüssen 1,2...(k-1) übersteigt, wobei k jeweils 2...N annimmt, das Steuersignal, auf das der Multiplexer anspricht, ein reflektiertes M-Bit Digitalcodesignal (Ausgang von

36) mit einem Wert, der die zwischen dem Ausgangsanschluß der Wellenform-Quelle und dem anderen Ausgangsanschluß einzufügenden Phasenverschiebung anzeigt, darstellt, der andere Ausgangsanschluß ein Ausgangsanschluß des Multiplexers ist, der Multiplexer (N-1) Gatter (70) beinhaltet, die jeweils aufweisen: (a) einen ersten und einen zweiten Signaleingang (A und B), (b) einen Signalausgang und (c) einen auf ein Bit des reflektierten Codesignals (Ausgang von 36) ansprechenden Steuereingang (S), um das Signal an einem der beiden Signaleingänge (A und B) als Funktion des Bitwerts am Steuereingang (S) dem Signalausgang zuzuleiten; wobei die Signaleingänge und Signalausgänge der Gatter (70) (a) miteinander, (b) mit den Eingangsanschlüssen des Multiplexers (40) und (c) mit dem Ausgangsanschluß (46) des Multiplexers verbunden sind und die Steuereingänge der Gatter so angeschlossen sind, daß sie auf die M-Bits des reflektierten M-Bit-Digitalcodesignals auf solche Weise ansprechen, daß dann, wenn sich der Wert des reflektierten Signals von einem reflektierten Wert, der in der Basis 10 dem Wert i entspricht, auf $(i+1)$ ändert, das Signal am Eingangsanschluß i des Multiplexers sich zum Signal am Eingangsanschluß $(i+1)$ des Multiplexers ändert, wobei i wahlweise jeweils $0,1,2,\dots,(N-2)$ ist.

14. Vorrichtung nach einem der Ansprüche 9 bis 11, wobei die Phasenverschiebung zwischen einem Ausgangsanschluß (212) einer Quelle (208) der Wellenform und dem ersten Ausgangsanschluß (Ausgang von 200.1) vorgenommen wird, die Schaltung mindestens einige Verzögerungseinheiten $1,2,\dots,N$ (200) mit diskreten Verzögerungszeiten sowie eine Steuereinrichtung (202, 204, 206) beinhaltet, die auf den Wert des Steuersignals (Ausgang 220) anspricht, um Verbindungen der Verzögerungseinheiten zwischen dem Ausgangsanschluß der Wellenform-Quelle und dem anderen Ausgangsanschluß so zu steuern, daß dann, wenn sich der Wert des Steuersignals ändert, entsprechende Änderungen in der Verzögerungszeit auftreten, die der periodischen Wellenform zwischen der Quelle des Ausgangsanschlusses der Wellenform und dem ersten Ausgangsanschluß durch die Verzögerungseinheiten (200) auferlegt wird, wobei die Verzögerungseinheiten miteinander verkettet sind, die Steuereinrichtung (202, 204, 206) auf den Wert des Steuersignals anspricht, um die effektive Zahl der zwischen dem Ausgangsanschluß (202) der Quelle und dem ersten Ausgangsanschluß (Ausgang von 200.1) verketteten Verzögerungseinheiten so zu steuern, daß dann, wenn sich der Wert des Steuersignals ändert, entsprechende Änderungen in der Zahl der zwischen dem anderen Ausgangsanschluß und den Ausgangsanschlüssen der Verzögerungseinheiten $1,2,\dots,N$ wirksam verketteten Einheiten auftreten, die Steuereinheit 1 (200.1) so verbunden ist, daß ein Ausgang von ihr ohne Verbindung über irgendeine andere der N Verzögerungseinheiten mit dem ersten Ausgangsanschluß verbunden ist, die Steuereinheit Verbindungen (durch 202, 204) zwischen Eingangs- und Ausgangsanschlüssen der Verzö-

gerungseinheiten und zwischen dem Ausgangsanschluß (212) der Quelle und dem Eingangsanschluß der genannten Verzögerungseinheit 1 so steuert, daß ansprechend auf ein Steuersignal mit einem Wert, der eine Verkettung von k der Verzögerungseinheiten zwischen dem Ausgangsanschluß (212) der Quelle und dem ersten Ausgangsanschluß verlangt, der Eingangsanschluß der Verzögerungseinheit k ohne Verbindung über irgendeine andere der N Verzögerungseinheiten mit dem Ausgangsanschluß der Quelle verbunden wird und der Ausgangsanschluß der Verzögerungseinheit j mit dem Eingangsanschluß der Verzögerungseinheit $(j-1)$ verbunden wird, wobei k wahlweise irgendeine ganze Zahl zwischen 2 und N und j wahlweise jede ganze Zahl zwischen 2 und k ist.

15. Vorrichtung nach Anspruch 14, wobei die Steuereinrichtung darauf ansprechend, daß sich die Zahl der zwischen dem Ausgangsanschluß der Quelle und dem anderen Ausgangsanschluß zwischenliegenden Verzögerungseinheiten von k auf $(k-1)$ ändert und vor dem Unterbrechen einer Verbindung zwischen einem Eingang der Verzögerungseinheit $(k-1)$ und dem Anschluß der Wellenform-Quelle eine Verbindung (202.($k-1$)) zwischen den Verzögerungseinheiten k und $(k-1)$ herstellt.

16. Vorrichtung nach einem der Ansprüche 9 bis 15, die in einer phasenverriegelten Schleife (Figur 1) enthalten ist, die einen Analog-zu-Digital-Wandler (16, 18) beinhaltet, der auf einen Satz an Bits (12, 14) anspricht, der Informationen darstellt, von denen mindestens ein Teil zum Qualitätsverlust neigt, wobei der Wandler auf einen Abtast-Wellenzug (Ausgang von 50) anspricht, der in Antwort auf die verschobene periodische Wellenform an dem ersten Ausgangsanschluß gewonnen wird, und ein eine Amplitude der Informationen darstellendes Mehrbit-Digitalsignal gewinnt, wobei die phasenverriegelte Schleife eine Einrichtung (22, 28, 32) aufweist, um auf den Wandler ansprechend Signale zu gewinnen, die einen Frequenz-(Ausgang von 28) und einen Phasenfehler (Ausgang von 32) zwischen den Informationen und der verschobenen periodischen Wellenform an dem ersten Ausgangsanschluß darstellen; wobei das den Phasenfehler darstellende Signal das Steuersignal steuert.

17. Vorrichtung nach einem der Ansprüche 9 bis 16, wobei der erste Ausgangsanschluß und die Frequenz der periodischen Wellenform und der Wert des Steuersignals und die Vorrichtung so eingerichtet sind, daß sich die Zahl der wirksamen Verzögerungseinheiten zwischen dem Ausgangsanschluß der Quelle und dem ersten Ausgangsanschluß als Funktion der Zeit stets monoton ändert.

18. Vorrichtung nach einem der Ansprüche 9 bis 17, die in einem Oszillator variabler Frequenz enthalten ist und außerdem aufweist:

eine Befehlsquelle (Ausgang von 28) zum Ändern der Frequenz des Oszillators, wobei ein von der Befehlsquelle gewonnener Signalwert für eine konstante Frequenzausgabe des Oszillators an dem ersten Ausgangsanschluß 0 und für Änderungen der Ausgangsfrequenz des Oszillators von 0 verschieden ist, sowie eine Einrichtung zum Integrieren (32) des von der Befehlsquelle gewonnenen Werts, um den Wert der periodischen Wellenform von den Verzögerungseinheiten auferlegten Verzögerungszeit zu steuern.

19. Vorrichtung nach Anspruch 14, wobei die Steuereinrichtung (205) die N Elemente in mehrere Gruppen teilt (Gruppen jeweils in Zuordnung zu 224.1 bis 224.4), die Steuereinrichtung für eine erste Gruppe von P der N Elemente während einer ersten Zeitspanne den Wert von k monoton von 1 bis P und dann für eine zweite Gruppe von Q der Elemente während einer zweiten Zeitspanne den Wert von k monoton von 1 bis Q ändert, wobei P und Q ganze Zahlen kleiner als N darstellen.

20. Vorrichtung nach Anspruch 19, wobei die Steuereinrichtung aufweist: einen Zähler (220) mit P Zuständen in der Abfolge von 1 bis P sowie einen Koppler (224.1 bis 224.4), um Steuersignale, die denjenigen der P-Zustände, in dem sich der Zähler befindet, anzeigen, während der ersten Zeitspanne vom Zähler der ersten Gruppe von P Elementen zuzuführen und Steuersignale, die denjenigen der Q Zustände, in dem sich der Zähler befindet, anzeigen, während der zweiten Zeitspanne vom Zähler der zweiten Gruppe von Q Elementen zuzuführen, wobei Q größer als P ist.

21. Vorrichtung nach einem der Ansprüche 9 bis 20, wobei das Steuersignal Frequenzkorrekturen (Ausgang von 28) darstellt, die auf die periodische Wellenform angewendet werden sollen, und eine Steuerung (32, 36, 40) auf den Wert des Frequenzkorrektursignals anspricht, um die um die diskreten Zeitverzögerungen verzögerte periodische Wellenform mit dem ersten Ausgangsanschluß (46) so zu verbinden, daß dann, wenn der Wert der Frequenzkorrektur nicht 0 ist, entsprechende Änderungen in den diskreten Zeitverzögerungen der periodischen Wellenform am ersten Ausgangsanschluß auftreten, und dann, wenn der Wert der Frequenzkorrektur 0 ist, sich die Phase der verzögerten periodischen Wellenform am ersten Ausgangsanschluß nicht ändert und mit allen diskreten Zeitverzögerungen versehen ist, wobei das Frequenzkorrektursignal sehr klein ist, um die Änderung der Phase der verzögerten periodischen Wellenform am ersten Ausgangsanschluß bezüglich der an die

Verzögerungsschaltung angelegten periodischen Wellenform zu ändern, nachdem viele Zyklen der periodischen Wellenform aufgetreten sind.

22. Vorrichtung nach einem der Ansprüche 9 bis 21, wobei die Schaltung beim Schalten in Antwort auf das Phasenänderungs-Steuersignal dazu neigt, einen Störimpuls an einem anderen Ausgangsanschluß (Ausgang von 50) zu entwickeln und eine Schaltung (48) mit dem anderen Ausgangsanschluß verbunden ist, um ein Auftreten der Störimpulse an dem anderen Ausgangsanschluß zu verhindern.

23. Vorrichtung nach einem der Ansprüche 9 bis 22, wobei das Steuersignal durch Erfassen einer Vorlauf-/Rücklauf-Änderung in der Phasenbeziehung der gewählten Replikation und der periodischen Wellenform auf seinen vorbestimmten Wert gesetzt wird.

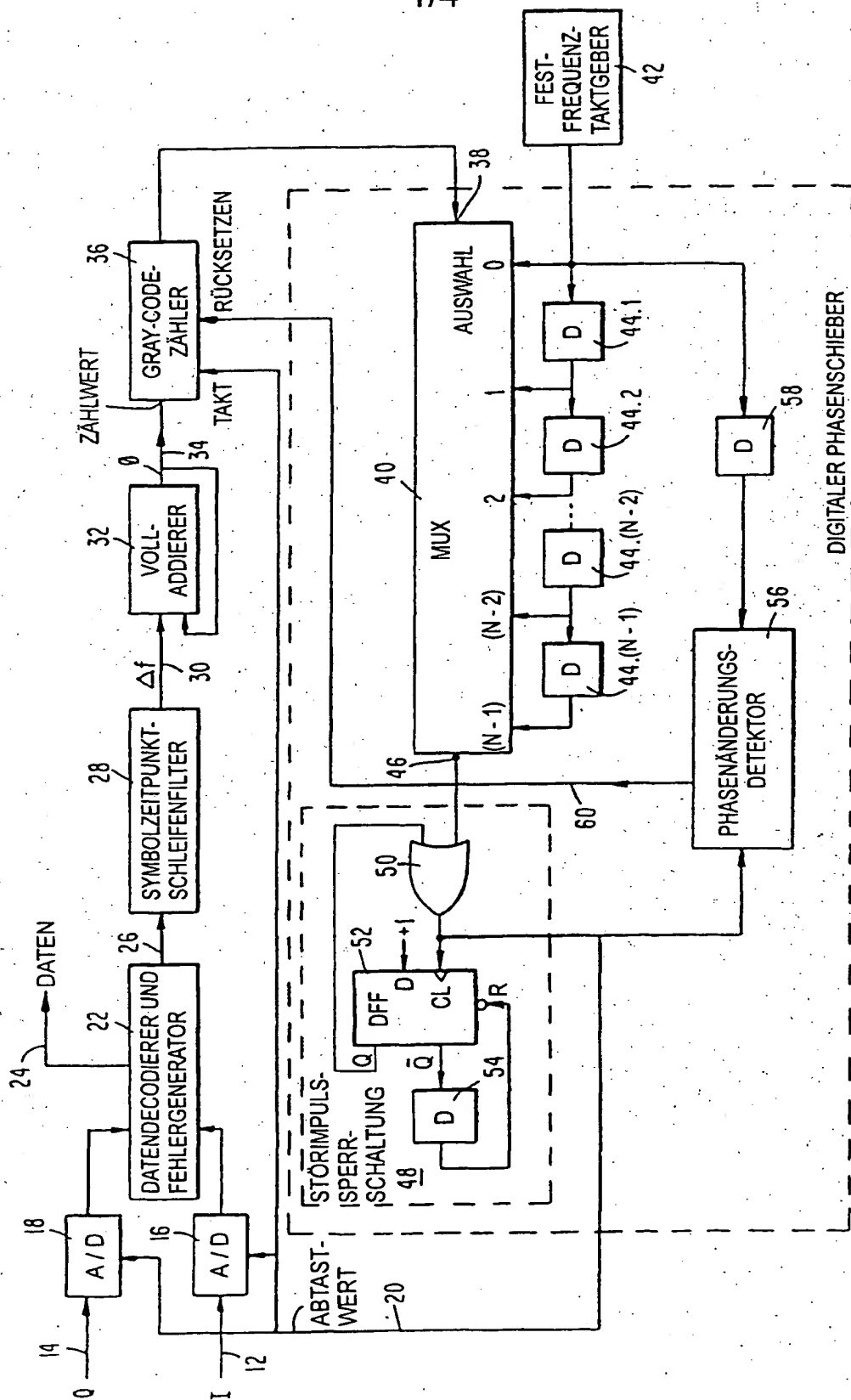
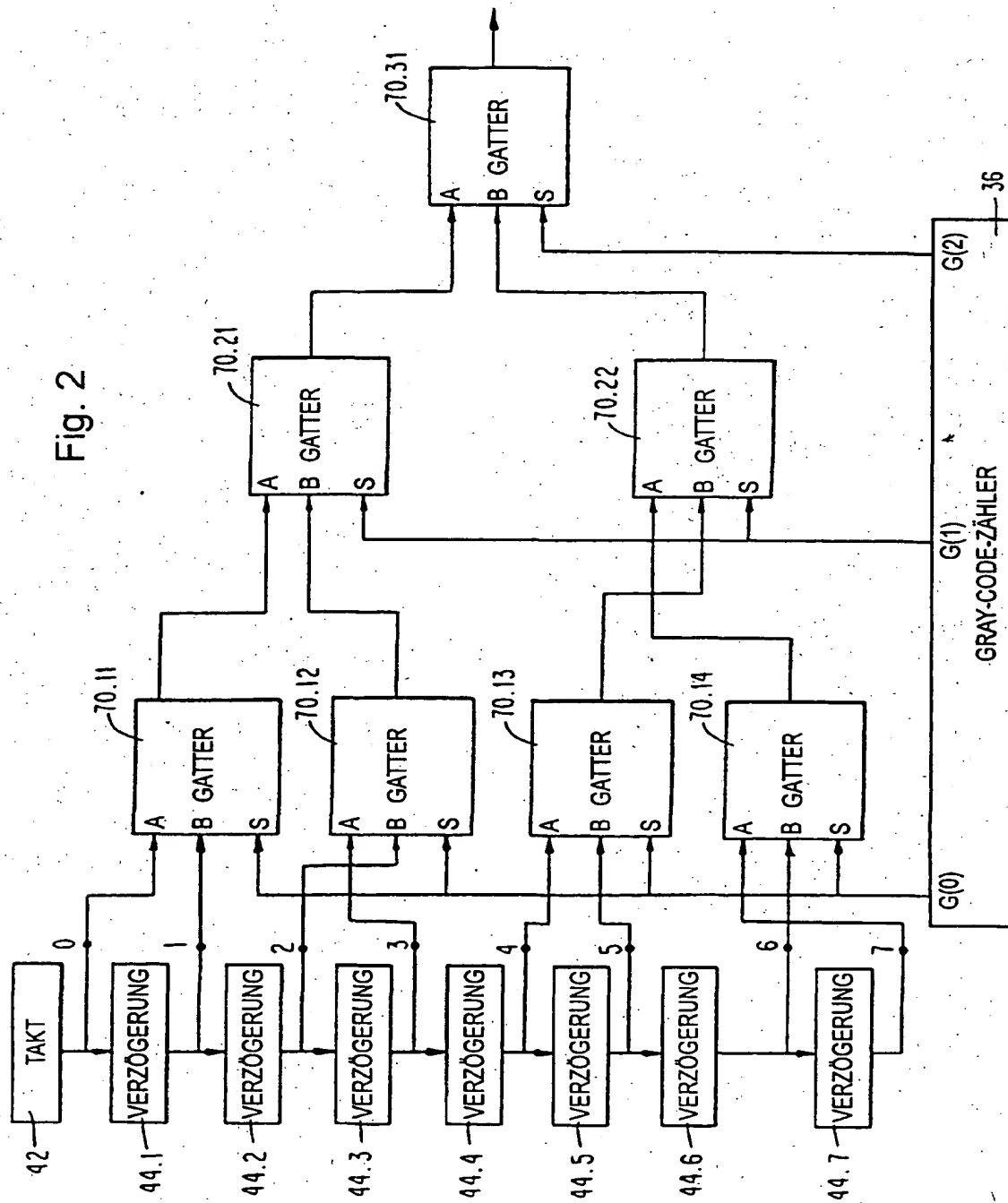


Fig. 1



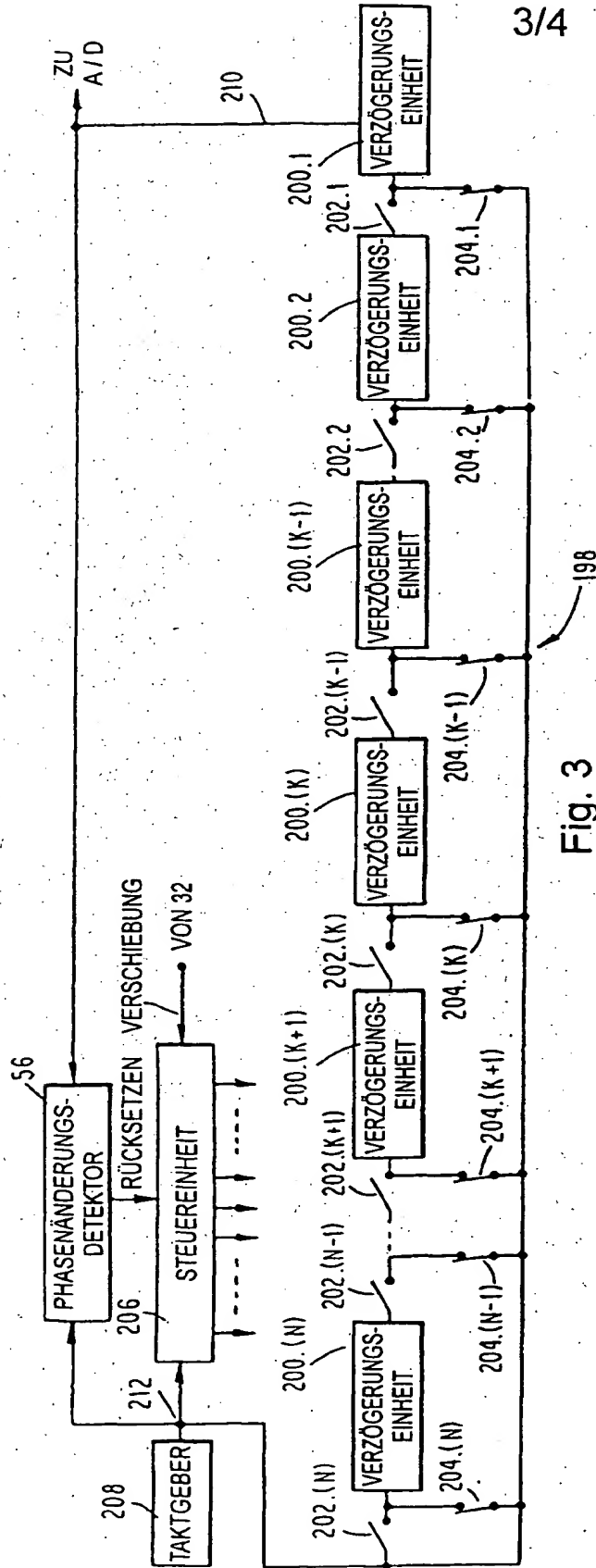


Fig. 3

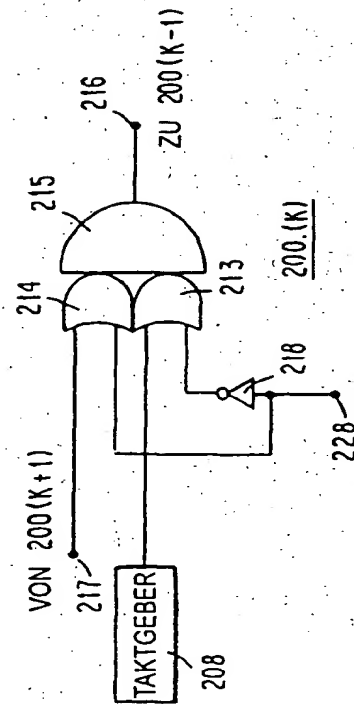


Fig. 4

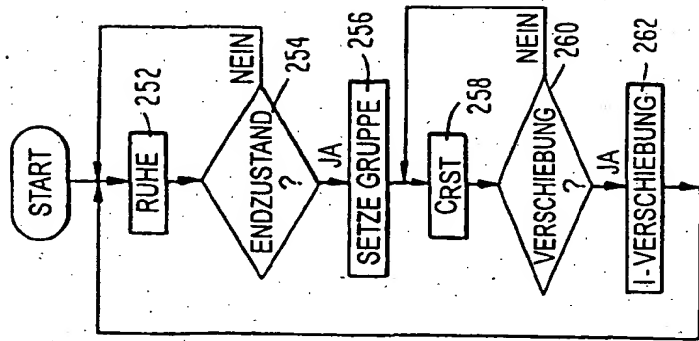
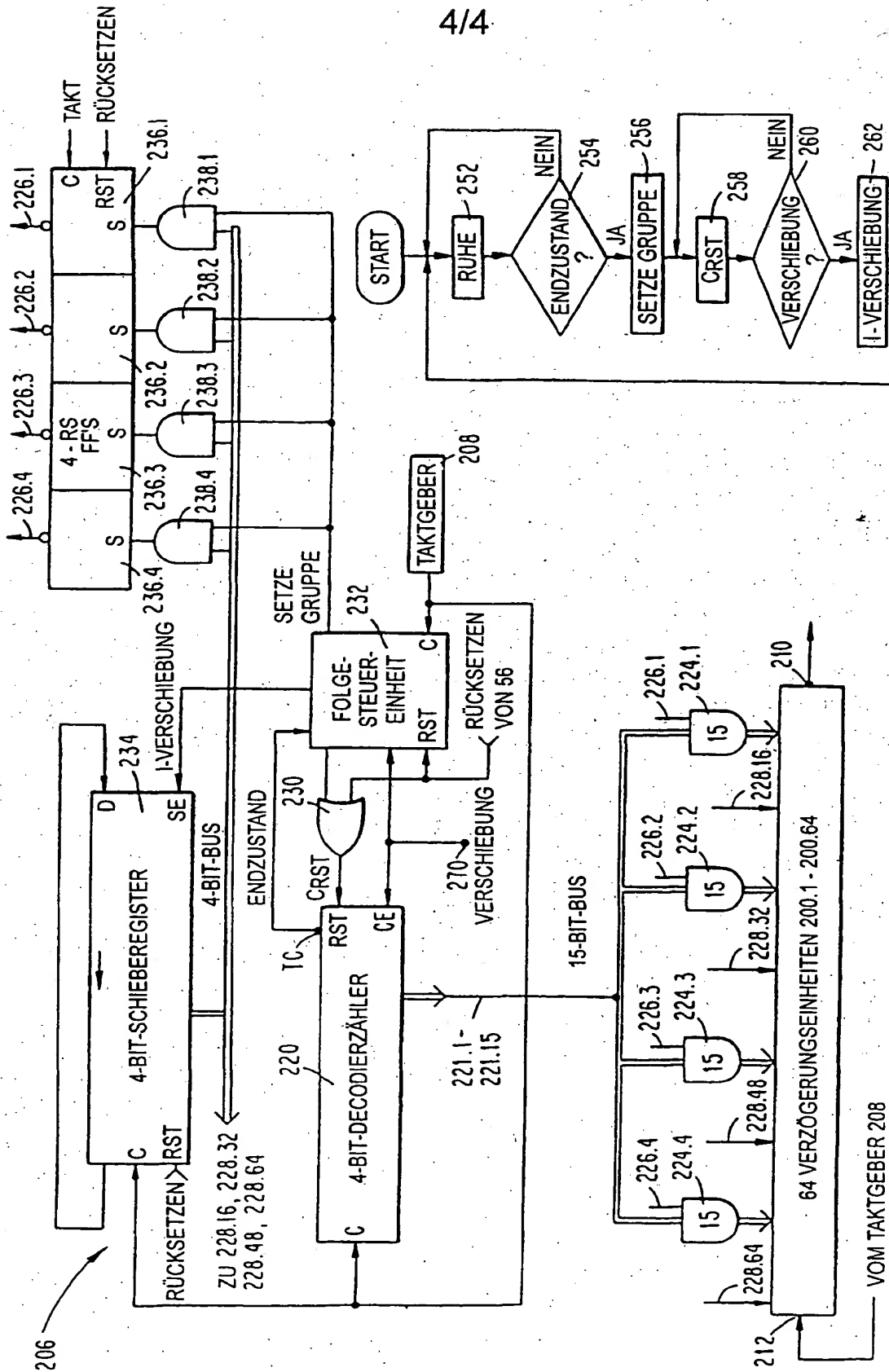


Fig. 6

